

宇宙開発用信頼性保証
集積回路 モノリシックシリコン CMOS
SOI-SOC マルチコアプロセッサ

個別仕様書

作成・制定：三菱重工業株式会社

発行：国立研究開発法人 宇宙航空研究開発機構

発行履歴表

版 数	発 行 日	主 要 改 訂 内 容
NC	2025 年 7 月 28 日	三菱重工業 文書番号：VET25310 初版 を新規発行

改訂履歴表

記号	年 月 日	主 要 改 訂 内 容
NC	2025. 7. 28	新規発行

目 次

1. 総則	1
1.1 適用範囲	1
1.2 部品番号	1
1.2.1 個別番号	1
1.2.2 デバイスタイプ	1
1.2.3 ケース外形	1
1.2.4 端子材料	2
1.2.5 耐放射線性	2
1.3 絶対最大定格	3
1.4 推奨動作条件	3
1.5 機能及び性能	5
2. 関連文書	9
2.1 適用文書	9
2.2 優先順位	9
3. 要求事項	9
3.1 設計及び構造	9
3.1.1 動作温度	9
3.1.2 ケース外形	9
3.1.3 端子材料	9
3.1.4 ブロック図、端子配置	9
3.1.5 電気的特性	9
3.2 表示	10
3.3 認定	10
3.4 品質保証プログラム	10
4. 品質保証条項	11
4.1 一般要求	11
4.2 機能図面の管理	11
4.3 受入材料の管理	11
4.4 製造工程の管理	11
4.5 工程内検査	11
4.6 スクリーニング	11
4.6.1 項目及び条件	11
4.6.2 測定すべき電氣的パラメータ	11
4.6.3 バーンイン回路	12
4.6.4 デルタ限界値	12
4.7 開発確認試験及び品質確認試験	12
4.7.1 項目及び条件	12

4.7.2 測定すべき電氣的パラメータ	12
4.7.3 試験の省略	13
4.8 長期保管	13
4.8.1 製造業者において長期保管された製品に対する処置	13
4.8.2 調達者における保管処置	13
4.9 試験及び検査の変更	13
4.9.1 ウェハロットの検査	13
4.9.2 スクリーニング	14
4.9.3 開発確認試験	14
4.9.4 品質確認試験	17
5. 引渡の準備	18
6. 注意事項	18
6.1 用語の定義	18
6.2 適用データ・シート	18
6.3 調達者に対する注意事項	18

宇宙開発用信頼性保証

集積回路 モノリシックシリコン CMOS

SOI-SOC マルチコアプロセッサ 個別仕様書

1. 総則

1.1 適用範囲

この仕様書は、人工衛星などの宇宙機に搭載する電子機器に搭載するモノリシックシリコン CMOS SOI-SOC マルチコアプロセッサ（以降、「SOISOC4」とも称す）に対する要求事項を規定するものである。特定の用途に起因するその他の要求事項がこの文書の外に規定されることがある。（6 項参照）

尚、この IC は、COT 生産方式(用語の定義は、JAXA-QTS-2010D 6.1 項を参照)を適用する。

1.2 部品番号

部品番号は、次の例のように付与する。

JAXA ⁽¹⁾	2010/	201	01	X	Z	R
		└─┘	└─┘	└─┘	└─┘	└─┘
		個別番号	デバイスタイプ	ケース 外形	端子材料	耐放射線性
		(1.2.1 項)	(1.2.2 項)	(1.2.3 項)	(1.2.4 項)	(1.2.5 項)

注⁽¹⁾ JAXA” は、宇宙開発用共通部品等であることを示す。“J” と省略できる。

1.2.1 個別番号

この仕様書で規定される IC の個別番号は、この個別仕様書の個別番号と同一とする。

1.2.2 デバイスタイプ

この仕様書で規定される IC のデバイスタイプは、次のとおりである。

デバイスタイプ番号	回 路
01	SOISOC4

1.2.3 ケース外形

この仕様書で規定される IC のケース外形は、次のとおりである。

ケース外形記号	ケース外形
X	572 ピン CBGA

1.2.4 端子材料

この仕様書で規定される IC のリード材料は、次のとおりである。詳細は 3.1.3 項による。

端子仕上げ記号	端子材料
Z	Sn10/Pb90（中央 8x8 ボール）、Sn63/Pb37（外周ボール）

1.2.5 耐放射線性

1.2.5.1 TID 耐性

この仕様書で規定される IC の耐放射線性 (TID 耐性) は、次のとおりである。

保証記号	耐放射線性保証水準
R	1000 Gy (Si) { 1×10^5 rad (Si)}

1.3 絶対最大定格

この仕様書で規定される IC 共通の絶対最大定格は、次のとおりである。

表 1 絶対最大定格

項 目		記号	Min.	Max	単位
電源電圧		V_{CCQ}	-0.3	4.6	V
		V_{DD}	-0.3	1.4	V
入力電圧 (1)		V_{in}	-0.3	$V_{CCQ} + 0.3$	V
出力電圧 (1)		V_O	-0.3	$V_{CCQ} + 0.3$	V
出力電流	8mA ハッファ	$I_{O(8mA)}$	-90	86	mA
	24mA ハッファ	$I_{O(24mA)}$	-266	267	mA
保存温度		T_{stg}	-55	+150	°C
接合部温度		T_j	-40	+125	°C

注 (1) +4.6V を超えないこと。

1.4 推奨動作条件

この仕様書で規定される IC 共通の推奨動作条件は、次のとおりである。

表 2 推奨動作条件

項 目		記号	Min.	Typ.	Max	単位
電源電圧範囲		V_{CCQ}	3.0	3.3	3.6	V
		V_{DD}	1.11	1.2	1.29	V
高レベル入力電圧		V_{IH}	$0.7 \times V_{CCQ}$	—	$V_{CCQ} + 0.3$	V
低レベル入力電圧		V_{IL}	-0.3	—	$0.2 \times V_{CCQ}$	V
動作ボード表面温度		T_b (1)	-37 (5)	—	+120	°C
動作接合部温度		T_j (2)	-40 (6)	—	+125	°C
外部入力クロック周波数	チップ内 PLL 使用時	f_{extclk}	—	20	—	MHz
	チップ内 PLL 未使用時		—	100	—	MHz

注 (1) ボード表面（チップ端の直下）の温度。

注 (2) T_j は、次式により与えられる。

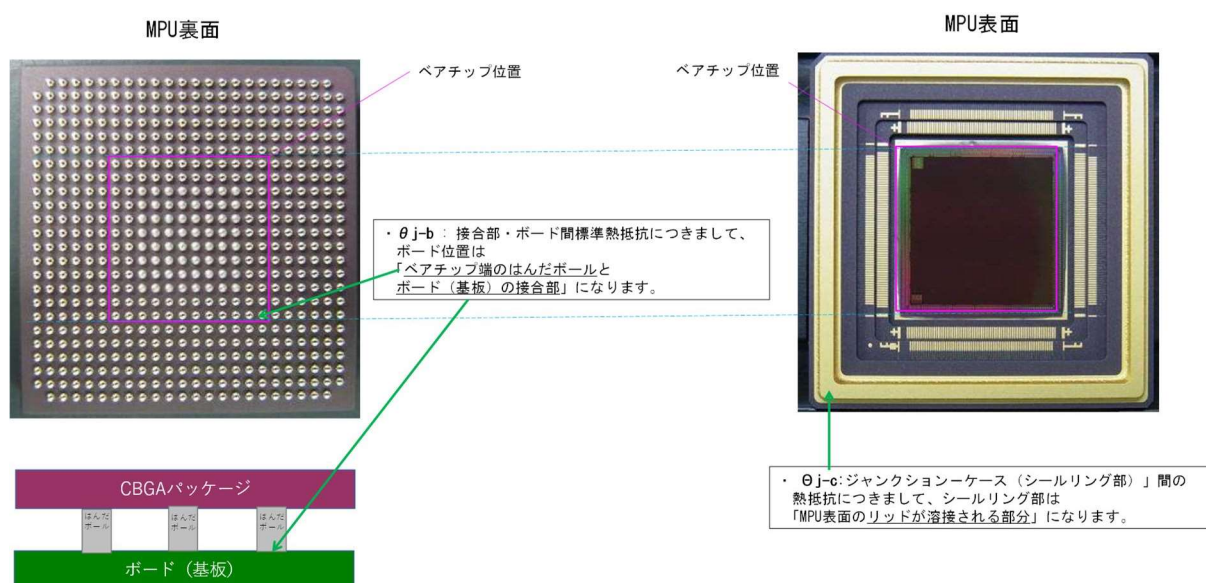
$$T_j = T_b + \theta_{j-b} \times P_D$$

ここで T_b ; 動作ボード表面温度 (°C)

θ_{j-b} ; 接合部・ボード間標準熱抵抗 (1.8 °C/W) (3)

P_D ; 消費電力 (1.8W) (4)

注⁽³⁾ シミュレーションで算出した「ジャンクションーボード表面（チップ端の直下）」間の熱抵抗。尚、参考情報として、シミュレーションで算出した「ジャンクションーケース（シールリング部）」間の熱抵抗： θ_{j-c} は、7.1 (°C/W) となる。絶対最大定格： T_{jmax} を超えないように熱設計を行うこと。
 θ_{j-b} と θ_{j-c} の位置情報を以下に示す。



注⁽⁴⁾ 消費電力ワースト条件（製造プロセス：fast コーナー、温度：125°C、 V_{DD} 電圧：1.29V、 V_{CCQ} 電圧：3.6V、トグル率：10%、動作周波数：160MHz、I/O の消費電力含む）でのシミュレーション結果。

注⁽⁵⁾ パッケージ形態の試験条件の上限値で規定。

注⁽⁶⁾ ウェハ形態の試験条件の上限値で規定。

1.5 機能及び性能

この仕様書で規定される IC の機能及び性能は、表 3 のとおりである。

表 3 機能及び性能(1/3)

項目	仕様	構成	概要
プロセッサコア	ルネサス製 RXv3	2 コア	- 動作周波数 160MHz (温度:125°C、動作電圧:1.11V、ワーストパス) - 動作周波数 190MHz (温度:25°C、動作電圧:1.2V、ワーストパス) - 倍精度 FPU 対応(次世代 MPU 用にカスタム)
コア周辺機能	DMAC (DMA コントローラ)	CPU0:4ch CPU1:4ch	・ルネサス社 RX64M 搭載品(DMACa)相当
	DTC (データトランスファコントローラ)	CPU0:1ch CPU1:1ch	・ルネサス社 RX64M 搭載品(DTCa)相当
	EXDMAC (EXDMA コントローラ)	CPU0:2ch CPU1: —	・ルネサス社 RX64M 搭載品(EXDMACa)相当 ・外部バス転送専用 ・ただし、下記機能は除く ①SDRAM への転送 ②外部端子(EDREQ,EDACK)による制御
	BSC (バスコントローラ)	CPU0:1ch CPU1: —	・ルネサス社 RX64M 搭載品(BSC)相当
	ICU (割込みコントローラ)	CPU0:1ch CPU1:1ch	・ルネサス社 RX64M 搭載品(ICUA)相当
高速通信 I/F	SpaceWire (SpaceWire 通信機能)	CPU0/1 共有: 6ch	表 4 参照 SpaceWire/RAMP, SpaceWire-PTP, Raw パケット対応
	Ethernet (EthernetAVB 通信機能)	CPU0/1 共有: 2ch	表 4 参照
低速通信 I/F	MIL-STD-1553B (MIL-STD-1553B 通信機能)	CPU0/1 共有: 2ch	表 4 参照
	CAN (CAN 通信機能)	CPU0:1ch CPU1:1ch	表 4 参照
	多機能シリアル (SCI)	CPU0:最大 2ch CPU1:最大 2ch	表 4 参照 GPIO とピン共有
	SPI (SPI 通信機能)	CPU0:最大 1ch CPU1:最大 1ch	表 4 参照 GPIO とピン共有
	I2C (I2C 通信機能)	CPU0:最大 1ch CPU1:最大 1ch	表 4 参照 GPIO とピン共有
汎用 I/O	GPIO(汎用入出力)	CPU0/1 共有: 最大 76ch	表 4 参照 PWM、SPI、I2C、SCI、TMR、CMTW とピン共有
	PWM(GPT) (汎用 PWM タイマ)	CPU0:最大 4ch CPU1:最大 4ch	表 4 参照 GPIO とピン共有
タイマ	TMR(8bit タイマ)	CPU0:最大 1ch CPU1:最大 1ch	表 4 参照 GPIO とピン共有

表 3 機能及び性能(2/3)

項目	仕様	構成	概要
	WDTA(ウォッチドッグタイマ)	CPU0:1ch CPU1:1ch	表 4 参照
演算支援	CRC(CRC 演算回路)	CPU0:1ch CPU1:1ch	表 4 参照
	DOC(データ演算回路)	CPU0:1ch CPU1:1ch	表 4 参照
内蔵メモリ ⁽¹⁾	コード用 RAM	CPU0/1 共有: 4MByte	・アクセラレータ、メモリスクリバを実装
	共有メモリ	CPU0/1 共有: 2MByte	・アクセラレータ、メモリスクリバを実装
	ローカル RAM	CPU0: 64kByte CPU1: 64kByte	・メモリスクリバを実装(オプション)
外部メモリ ⁽¹⁾	汎用外部バスコントローラ	CPU0:1ch CPU1: -	・ルネサス社 RX64M 搭載品(CSC)相当
	SDRAM コントローラ	CPU0:1ch CPU1: -	・ルネサス社 RX64M 搭載品(SDRAMC)相当を 基に、以下の改修を実施。 ・エラー訂正機能追加(リードソロモン符号によ りマルチビットエラーの訂正が可能)。尚、 機能の有効/無効の設定可能。 ・アドレス空間を最大 512MB に拡張。 ・外部 SDRAM/内部メモリ間スループット: 100Mbps 以上
デバッグ I/F			・ルネサス社純正のエミュレータに対応 (E1 エミュレータ)
ブート機能			・リセット後に CPU0 が CS1 領域の固定番地を ベクタとして取得しプログラムを起動 ・MODE ピン(外部端子)の設定により取得する 番地を切り替えることが可能 →CS1 ベースアドレス →2MByte オフセット →4Mbyte オフセット
セキュリティ		CPU0:1ch CPU1:1ch	・表5に示す機能を実装 ・TSL1.3 認証方式相当に対応
消費電力	1W 以下	—	・温度:25℃、動作電圧:1.2V、 外部 I/O の消費電力は除く。 ・MPU 全体(2 コア使用時)の消費電力。
	1.8W (ワースト値)(参考値)	—	・消費電力ワースト条件(製造プロセス:fast コー ナー、温度:125℃、VDD 電圧:1.29V、VCCQ 電圧:3.6V)、トグル率:10%、動作周波数: 160MHz、I/O の消費電力含む)でのシミュレ ーション結果。 ・MPU 全体(2 コア使用時)の消費電力。

表 3 機能及び性能(3/3)

項目	仕様	構成	概要
放射線耐性	TID 耐性	—	100krad(Si)
	SEL 耐性	—	LET 閾値 $\geq 75 \text{ MeV}/(\text{mg}/\text{cm}^2)$ ($T_j = +125^\circ\text{C}$ 条件)
	SEU 耐性	ロジック部 (Flip-Flop)	LET 閾値 $\geq 40 \text{ MeV}/(\text{mg}/\text{cm}^2)$ 飽和断面積(Flip-Flop) $\leq 2 \times 10^{-9} (\text{cm}^2/\text{セル})$
		ローカル RAM	LET 閾値 $\geq 40 \text{ MeV}/(\text{mg}/\text{cm}^2)$ ⁽²⁾ ⁽³⁾ 飽和断面積 $\leq 2 \times 10^{-9} (\text{cm}^2/\text{bit})$
		コード用 RAM 及び 共有メモリ	飽和反転断面積 : $9.96 \times 10^{-10} (\text{cm}^2/\text{bit})$ を元に、各軌道における目標閾値 LET から Scrubbing Period ⁽⁴⁾ を算出した。 それぞれの軌道における各軌道における目標閾値 LET と Scrubbing Period を ⁽⁵⁾ に示す。

注 ⁽¹⁾ プログラム格納領域として利用可能。ただし、外部メモリに対するアクセラレータは未実装。

注 ⁽²⁾ SEU 対策前飽和断面積の 1/100 の断面積となる LET の値

注 ⁽³⁾ スクラビング無しの時の値。EDAC 及びスクラビング機能も備えている。

注 ⁽⁴⁾ Scrubbing Period は指定した範囲のメモリを全てリード・モディファイ・ライトするためにかかる時間を示す。

注 ⁽⁵⁾

No	各軌道における目標閾値 LET ⁽⁶⁾	Scrubbing Period
1	ISS 軌道において LET 閾値 $\geq 25 \text{ MeV}/(\text{mg}/\text{cm}^2)$ 相当	327680 (秒)
2	GEO 軌道において LET 閾値 $\geq 40 \text{ MeV}/(\text{mg}/\text{cm}^2)$ 相当	1310 (秒)

注 ⁽⁶⁾ 飽和反転断面積を用いて LET 閾値(飽和反転断面積が 1/100 になる LET)を逆算した結果。

注 ⁽⁷⁾ Scrubbing Period 算出時の軌道上フラックスの算出条件は以下の通り。

- ・アルミ遮蔽厚 : 2.54mm
- ・太陽活動 : Solar min

表 4 周辺 IP 一覧

IP 名称	概要	CPU 0		CPU 1		IP 仕様
		ユニット	ch	ユニット	ch	
SpW Engine	SpaceWire 通信機能	6	6	CPU0 と共有		
SpW Router	SpaceWire ルーター	2	6	CPU0 と共有		
MIL-STD-1553B	MIL-STD-1553B 通信機能	2	2	CPU0 と共有		
GPIO	汎用入出力	1	76	CPU0 と共有		
Ethernet (DualUse 用)	EthernetAVB 通信機能	2	2	CPU0 と共有		ルネサス社 RZ A1H 搭載品 (EthernetAVB)相当
PWM(GPT)	汎用 PWM タイマ	1	4	1	4	ルネサス社 RX64M 搭載品 (GPTa)相当
SPI	SPI 通信機能	1	1	1	1	ルネサス社 RX64M 搭載品 (RSPIa)相当
多機能シリアル (SCI)	シリアル通信機能	2	2	2	2	ルネサス社 RX64M 搭載品 (SCIg)相当
CRC	CRC 演算回路	1	1	1	1	ルネサス社 RX64M 搭載品 (CRC)相当
DOC	データ演算回路	1	1	1	1	ルネサス社 RX64M 搭載品 (DOC)相当
WDTA	ウォッチドッグタイマ	1	1	1	1	ルネサス社 RX64M 搭載品 (WDTA)相当
OS タイマ	16/32bit コンペアマッチタイマ	5 (1)	5 (1)	5 (1)	5 (1)	ルネサス社 RX64M 搭載品 (CMTW)相当 注(1) 内 2ch は CPU0/1 共 有
CMTW	16/32bit コンペアマッチタイマ	2	2	2	2	ルネサス社 RX64M 搭載品 (CMTW)相当
TMR	8bit タイマ	1	1	1	1	ルネサス社 RX64M 搭載品 (TMR)相当
CAN	CAN 通信機能	1	1	1	1	ルネサス社 RX64M 搭載品 (CAN)相当
I2C(RIIC)	I2C 通信機能	1	1	1	1	ルネサス社 RX64M 搭載品 (RIICa)相当
CPG	クロック生成回路	1	1	-	-	

表 5 セキュリティ機能及び暗号性能

機能大項目	機能小項目	機能概要
暗号・復号機能	データ暗号化機能	データの暗号化及び署名・認証コードを生成する機能
	暗号通信機能	通信データの内容を第三者に秘密にする機能
	秘密情報管理機能	秘密情報へのアクセスを制限する機能
改竄防止・検出 機能	通信先認証機能	知らない相手との通信を禁止する機能
	ソフトウェア認証機能	正規以外のソフトウェアの動作を禁止する機能
	故障利用攻撃対策	仕様外の動作による秘密情報の漏洩を防止する機能
暗号性能		
安全性指標が 128bit セキュリティ		

2. 関連文書

2.1 適用文書

次の文書は、この仕様書で規定する範囲でこの仕様書の一部とする。

- | | |
|-------------------|--|
| a) JAXA-QTS-2010D | 宇宙開発用信頼性保証集積回路共通仕様書 |
| b) MIL-STD-883L | TEST METHOD STANDARD, MICROCIRCUITS |
| c) JAXA-QTS-2000F | 宇宙開発用共通部品等 一般共通仕様書 |
| d) JESD22-B115A | SOLDER BALL PULL |
| e) CCA-115025A | 「ロット認証」手続き |
| f) JREG-0-043E | 宇宙用表面実装はんだ付工程標準 |
| g) JREG-0-54A | BGA/CGA 実装工程標準 |
| h) J-STD-002E | Solderability Tests for Component Leads, Terminations, Lugs, Terminals and Wires |

2.2 優先順位

優先順位は、JAXA-QTS-2010 の G2.3 項による。

3. 要求事項

この仕様書に基づいて IC を供給しようとする認定取得業者は、JAXA-QTS-2010 の G.3 項によるほか、ここに規定されているすべての要求事項に従わなければならない。

3.1 設計及び構造

IC の設計及び構造は、JAXA-QTS-2010 の G.3.3 項及び次の規定による。

3.1.1 動作温度

IC の動作温度範囲はボード表面温度（チップ端の直下）で規定し、最低動作温度は -37°C 、最高動作温度は $+120^{\circ}\text{C}$ とする。

3.1.2 ケース外形

ケース外形（質量含む）は、図 1 に適合すること。

3.1.3 端子材料

端子材料は、中央の 8x8 ボールは高温はんだ（Sn10/Pb90）とすること。それ以外の端子は共晶はんだ（Sn63/Pb37）とすること。

3.1.4 ブロック図、端子配置

IC のシステムブロック図は、図 2 に適合すること。端子配置は、表 6 及び図 3 に適合すること。

3.1.5 電気的特性

製品の電気的特性は、表 7～表 8 に適合すること。

3.2 表示

製品の表示は、JAXA-QTS-2010 の G.3.4 項に従って図 4 のように表示する。

3.3 認定

JAXA-QTS-2010 の G.3.1 項及び JAXA-QTS-2000 の 3.4.1.10 項に従って認定を取得しなければならない。

3.4 品質保証プログラム

品質保証プログラムは、JAXA-QTS-2010 の G.3.2 項による。

4. 品質保証条項

品質保証条項は JAXA-QTS-2010 の G.4 項によるほか、次による。

4.1 一般要求

一般要求は、JAXA-QTS-2010 の 4.1 項による。

4.2 機能図面の管理

機能図面の管理は、JAXA-QTS-2010 の G.4.1 項による。

4.3 受入材料の管理

受入材料の管理は、JAXA-QTS-2010 の G.4.2 項による。

4.4 製造工程の管理

製造工程の管理は、JAXA-QTS-2010 の G.4.3 項による

ただし、ウェハはカタログ購入品であるため、4.3.1 項 a)から g)は適用対象外とする。

4.5 工程内検査

工程内検査は、JAXA-QTS-2010 の G.4.4 項による。

4.6 スクリーニング

スクリーニングは、JAXA-QTS-2010 の G.4.6 項及び次の規定による。

4.6.1 項目及び条件

この仕様書で規定する IC のスクリーニングは、表 9 に規定された項目及び条件で実施する。

4.6.2 測定すべき電氣的パラメータ

スクリーニングのバーンイン前及び最終電氣的パラメータ試験においては、表 10 に示されているサブグループのうち、次のサブグループに含まれているすべてのパラメータを測定する。

- | | |
|-------------------------|---------------------------------|
| ・ バーンイン前 電氣的パラメータ試験 | サブグループ 1, 7 |
| ・ バーンイン後 電氣的パラメータ試験 | サブグループ 1, 7 |
| ・ 最終電氣的パラメータ試験 | サブグループ 1, 2, 3, 7, 8, 9, 10, 11 |
| ・ 共晶はんだボール実装後電氣的パラメータ試験 | サブグループ 1, 7, 9 |

4.6.3 バーンイン回路

スクリーニングにおけるバーンイン回路は、図 44 に示した回路のもとで実施する。

4.6.4 デルタ限界値

バーンイン試験におけるデルタ限界値の判定対象項目と判定値を表 19 に示す。

4.7 開発確認試験及び品質確認試験

開発確認試験は JAXA-QTS-2010 の G.4.5 項、品質確認試験は JAXA-QTS-2010 の G4.7 項による。ただし、ウェハに対するロット認証（CCA-115025A）を品質確認試験に適用するその他は、次の規定によらなければならない。

4.7.1 項目及び条件

この仕様書で規定する IC の開発確認試験は、表 10～14 に示されている項目及び条件で実施すること。

4.7.2 測定すべき電氣的パラメータ

開発確認試験及び品質確認試験においては、表 10～14 に示されているサブグループのうち、次のサブグループに含まれているすべてのパラメータを測定すること。

・ グループ A 試験	サブグループ 1, 2, 3, 7, 8, 9, 10, 11
・ グループ C 試験サブグループ 1(c)	サブグループ 1, 2, 3, 7, 8, 9, 10, 11
・ グループ C 試験サブグループ 2(d)	サブグループ 1,2,3
・ グループ C 試験サブグループ 3(b)	サブグループ 1
・ グループ D 試験サブグループ 1(f)	サブグループ 1
・ グループ D 試験サブグループ 2(e)	サブグループ 1
・ グループ E 試験サブグループ 1(b)	サブグループ 1, 7, 9
・ グループ E 試験サブグループ 2(b)	サブグループ 1, 7, 9

4.7.3 試験の省略

JAXA-QTS-2010 の G. 4. 7. 1. 1 項によるほか、次の規定に該当する場合は、試験を省略することができる。

a) グループ A 試験の省略

スクリーニング試験の最終電氣的パラメータ試験をグループ A 試験と同一とした場合、最終電氣的パラメータ試験を完了し不合格となった IC を除去した検査ロットは、グループ A 試験に合格したとし、グループ A 試験を省略することができる。

b) グループ E 試験の省略

同一検査ロットの IC に対して耐放射線性の要求がない場合は、グループ E 試験を省略することができる。この場合、耐放射線性“R”を表示してはならない。

4.8 長期保管

4.8.1 製造業者において長期保管された製品に対する処置

JAXA-QTS-2010 の G. 4. 8 項による。

4.8.2 調達者における保管処置

調達者における IC の保管条件は、次のとおりである。

- a) 周囲温度 15℃～35℃
- b) 相対湿度 35%以下（半田ボールに酸化膜ができるため、デシケータで保管すること。）
- c) 圧力 86kPa～106kPa
- d) その他 振動、衝撃を印加しないこと。

4.9 試験及び検査の変更

4.9.1 ウェハロットの検査

ウェハ製造について、製造業者は ISO9001 により品質管理を実施しているが、工程審査等の協力が得られないため、カタログ購入品とした。製造業者設定の仕様（カタログ）に適合したウェハを購入し、「a)受入検査」にて仕様と適合していることを確認する。その後、「b)受入検査後の評価」で適合となったウェハを裏面研磨工程へ進める。

a) 受入検査

- ・ 型番
- ・ WAFER 枚数
- ・ WAT (Wafer Acceptance Test) 計測結果
- ・ 外観検査結果

b) 受入検査後の評価

- ・ 電源電圧(VDD)=1.2V での WAT 計測
- ・ 抵抗素子、コンデンサ、トランジスタの特性評価
- ・ 高密度 SRAM の機能評価
- ・ SOISOC4 の機能・性能評価

4.9.2 スクリーニング

JAXA-QTS-2010 の表 B-1 に規定されたスクリーニングのうち、変更した項目は次の通りである。

a) 安定化ベーク

シーム溶接であるため封止時に部品に高温が印加されないこと、及び、共晶半田ボール実装が封止後に実施されるが半田付け温度と同等であることから、封止前の安定化ベーク 24 時間で代用する。

b) 放射線写真検査

・開発確認試験時のスクリーニング

JAXA-QTS-2010 要求では 2 方向であるが、PKG 内部構造より上方 1 方向および横 2 方向の計 3 方向における検査に変更する。

・品質確認試験時のスクリーニング

JAXA-QTS-2010 要求では 2 方向であるが、開発確認試験前のスクリーニング結果から、上方 1 方向の検査でワイヤ曲がり、異物等の確認が可能であるため、横方向(X1, Z1)の検査は取りやめ、上方 1 方向 (Y2) のみの検査に変更する。

c) 逆バイアスバーンイン試験、中間点（逆バイアスバーンイン後）電気的パラメータ

I/O 端子に保護ダイオードがあるため実施しない。

d) 最終電気的パラメータ試験

パッケージのはんだボールに IC ソケットのコンタクト痕が付着することを回避するため、共晶はんだボール実装前に最終電気的パラメータ試験（常温／高温／低温）を実施する。なお、常温での電気的パラメータ試験においては、バーンイン後電気的パラメータ試験（常温）と試験条件が同じため、その結果を流用する。

e) 気密性試験

最終電気的パラメータ試験と気密性試験の間にパッケージへ共晶はんだボールを実装する。よって、共晶はんだボール実装時の熱環境印加後に、気密性試験を実施する。

f) 共晶はんだボール実装後電気的パラメータ試験

最終電気的パラメータ試験の順序を気密性試験前に変更したことに伴い、気密性試験後に“常温のみ”の電気的パラメータ試験を追加する。

4.9.3 開発確認試験

4.9.3.1 グループ A 試験

JAXA-QTS-2010 の表 C-1 に規定されたグループ A 試験のうち、変更した項目は次の通りである。

a) サブグループ 1～11

スクリーニングの最終電気的パラメータ試験と兼ねるため、個別では実施しない。

4.9.3.2 グループ B 試験

JAXA-QTS-2010 の表 C-2 に規定されたグループ B 試験のうち、変更した項目は次の通りである。

a) サブグループ 2

1) 耐溶剤性試験

ブラッシングの際、手圧の測定は実施しない。また、「3.1 Optional procedure for the fourth group.」については、浸漬とし、スプレー噴霧での薬品塗布は実施しない。

2) グラシベーション層評価試験

サブグループ 2 の「内部目視及び機械的検査」にてチップ表面状態にグラシベーション層に関わる疑義ある場合、グラシベーション層試験を実施する。

b) サブグループ 3

1) 放射線写真検査

はんだボールとパッケージ電極の接合部に発生するボイドを検査するため、本検査項を追加する。

2) はんだ付け性試験

JAXA-QTS-2010 では BGA のはんだ付け性試験に対する要求が定められていないため、下記に変更する。プリコンディショニング条件は、長期保管環境（4.8 項）がデシケータであることに基づき、2.1 項 h)J-STD-002E の表 3-3 Condition Category E を適用して「155℃ Dry Bake 4 時間」とする。

- ・評価対象 はんだボールの濡れ性
- ・試験条件 MIL-STD-883L TM2003.10 BGA

c) サブグループ 4

1) リード強度試験

JAXA-QTS-2010 ではリードに対する要求が記載されており、BGA に対する要求の記載はない。このため、本 BGA では、半田ボールのプル試験(JESD22-B115A)にて代替する。JESD22-B115A ではプル強度の要求が定められていないため、宇宙用小型パッケージ開発の結果を元に規定した以下の値を要求とする。

- ・共晶はんだボール 40.0MPa 以上
- ・高温はんだボール 19.7MPa 以上

2) 気密性試験

パッケージ貫通型の構造でないため実施しない。

4.9.3.3 グループ C 試験

JAXA-QTS-2010 の表 C-3 に規定されたグループ C 試験のうち、変更した項目は次の通りである。

a) サブグループ 1

1) 定常動作寿命試験

定常動作寿命試験の試験条件を 125℃、1000 時間の 2 倍の 2000 時間とする場合、LTPD の考え方に基づき、開発確認試験のサンプル数は LTPD5 の 1/2 にすることができる。小数点の端数が出た場合は切り上げとする。

b) サブグループ 2

1) 定加速度試験

試験条件は、MIL-STD-883L 方法 2001 条件 A(5000G)を適用する。

4.9.3.4 グループ D 試験

JAXA-QTS-2010 の表 C-4 に規定されたグループ D 試験のうち、変更した項目は次の通りである。

a) サブグループ 4

1) 短絡確認試験

製品と同一ワイヤボンディング条件のエンジニアリングモデルを用いた評価結果からワイヤ短絡が発生しないことを確認したため、省略する。

4.9.3.5 グループ E 試験

同一ウェハロットの場合、ある検査ロットにおいてグループ E 試験を実施していれば、その他の検査ロットではグループ E 全ての試験を省略する。

4.9.4 品質確認試験

JAXA-QTS-2010 の付則 C、及び、付則 D に規定された試験のうち、4.9.3 項に記載されている変更内容は本項にも適用する。4.9.3 項に記載されている内容以外で変更した項目は次の通りである。

4.9.4.1 グループ B

a) サブグループ 1

1) 内部水蒸気量検査

検査ロットの IC と同一ウェハロットに対する品質確認試験のデータが適用できない場合、試験の抜取りは、付則 C 表中の水準 I を適用する。(参考：JAXA-QTS-2010 では付則 C 表中の水準 II を適用と規定されている)。

b) サブグループ 2

1) 内部目視検査及び機械的検査 ～ ダイ剥離試験

検査ロットの IC と同一ウェハロットに対する品質確認試験のデータが適用できない場合、試験の抜取りは、付則 C 表中の水準 I を適用する。(参考：JAXA-QTS-2010 では付則 C 表中の水準 II を適用と規定されている)。

c) サブグループ 4

検査ロットの IC の試験状況に関わらず試験を実施する。試験の抜取りは、付則 C 表中の水準 II を適用する。(参考：JAXA-QTS-2010 では付則 G では省略可能と規定されている)。

5. 引渡の準備

引渡の準備は、JAXA-QTS-2010 の G.5 項による。

6. 注意事項

注意事項は、JAXA-QTS-2010 の G.6 項による。

6.1 用語の定義

用語の定義は、JAXA-QTS-2010 の 6.1 項及び下記を適用する。

a) ウェハロット

JAXA-QTS-2010 の 6.1 項を適用する。

b) 製造ロット

検査ロットと同じ。

c) 検査ロット

検査 LOT は、単一ウェハロットにて構成する。

6.2 適用データ・シート

製造業者は、JAXA-QTS-2000 の付則G に基づいて、適用データ・シートを準備し、JAXAへ登録する。

6.3 調達者に対する注意事項

調達者に対する注意事項は、JAXA-QTS-2010 の 6.3 項及び次による。

a) 半田ボールが傷つかないように十分に注意して取り扱うようにする。

ハンドリング中の一時保管時は、半田ボール保護のため LID 側を下にして保管すること。

b) パッケージ表面のキャップは、GND に接続されている。

c) 本パッケージのはんだボール取り付け部はディンプル構造になっている。

そのため、はんだボールを完全に除去することができず、はんだボールのリワーク作業は不可能である。

d) リフローの上限回数は2回とする。

表 6 端子配置と端子機能 (1/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライブ 能力	グループ E サブ 1 端子処置	備考
A2	GND	-	-	-	-	備考の通り	VSS,VSSQ
A3	GND	-	-	-	-	備考の通り	VSS,VSSQ
A4	3.3V	-	-	-	-	備考の通り	VCCQ
A5	1.2V	-	-	-	-	備考の通り	VDD
A6	1.2V	-	-	-	-	備考の通り	VDD
A7	GND	-	-	-	-	備考の通り	VSS,VSSQ
A8	3.3V	-	-	-	-	備考の通り	VCCQ
A9	1.2V	-	-	-	-	備考の通り	VDD
A10	1.2V	-	-	-	-	備考の通り	VDD
A11	3.3V	-	-	-	-	備考の通り	VCCQ
A12	GND	-	-	-	-	備考の通り	VSS,VSSQ
A13	1.2V	-	-	-	-	備考の通り	VDD
A14	1.2V	-	-	-	-	備考の通り	VDD
A15	GND	-	-	-	-	備考の通り	VSS,VSSQ
A16	3.3V	-	-	-	-	備考の通り	VCCQ
A17	1.2V	-	-	-	-	備考の通り	VDD
A18	GND	-	-	-	-	備考の通り	VSS,VSSQ
A19	1.2V	-	-	-	-	備考の通り	VDD
A20	3.3V	-	-	-	-	備考の通り	VCCQ
A21	1.2V	-	-	-	-	備考の通り	VDD
A22	GND	-	-	-	-	備考の通り	VSS,VSSQ
A23	GND	-	-	-	-	備考の通り	VSS,VSSQ
B1	GND	-	-	-	-	備考の通り	VSS,VSSQ
B2	GND	-	-	-	-	備考の通り	VSS,VSSQ
B3	GND	-	-	-	-	備考の通り	VSS,VSSQ
B4	D40	外部バス	CPU0	inout	24mA	ブルダウン	
B5	D36	外部バス	CPU0	inout	24mA	ブルダウン	
B6	D32	外部バス	CPU0	inout	24mA	ブルダウン	
B7	D28	外部バス	CPU0	inout	24mA	ブルダウン	
B8	D22	外部バス	CPU0	inout	24mA	ブルダウン	
B9	D17	外部バス	CPU0	inout	24mA	ブルダウン	
B10	D13	外部バス	CPU0	inout	24mA	ブルダウン	
B11	D9	外部バス	CPU0	inout	24mA	ブルダウン	
B12	D5	外部バス	CPU0	inout	24mA	ブルダウン	
B13	A23	外部バス	CPU0	out	24mA	解放	
B14	A17	外部バス	CPU0	out	24mA	解放	
B15	A11	外部バス	CPU0	out	24mA	解放	
B16	A5	外部バス	CPU0	out	24mA	解放	
B17	MIL 1553B TX DATA B 2	MIL-1553B	共通	out	8mA	解放	
B18	MIL 1553B RX DATA BAR B 2	MIL-1553B	共通	in	-	ブルダウン	
B19	MIL 1553B TX DATA BAR A 2	MIL-1553B	共通	out	8mA	解放	
B20	MIL 1553B SUBSYSTEM 2	MIL-1553B	共通	in	-	ブルダウン	
B21	MIL 1553B TX DATA BAR B 1	MIL-1553B	共通	out	8mA	解放	
B22	GND	-	-	-	-	備考の通り	VSS,VSSQ
B23	GND	-	-	-	-	備考の通り	VSS,VSSQ
B24	GND	-	-	-	-	備考の通り	VSS,VSSQ
C1	GND	-	-	-	-	備考の通り	VSS,VSSQ
C2	GND	-	-	-	-	備考の通り	VSS,VSSQ
C3	GND	-	-	-	-	備考の通り	VSS,VSSQ
C4	D42	外部バス	CPU0	inout	24mA	ブルダウン	
C5	D38	外部バス	CPU0	inout	24mA	ブルダウン	
C6	D34	外部バス	CPU0	inout	24mA	ブルダウン	
C7	D30	外部バス	CPU0	inout	24mA	ブルダウン	
C8	D24	外部バス	CPU0	inout	24mA	ブルダウン	
C9	D19	外部バス	CPU0	inout	24mA	ブルダウン	
C10	D15	外部バス	CPU0	inout	24mA	ブルダウン	
C11	D11	外部バス	CPU0	inout	24mA	ブルダウン	
C12	D7	外部バス	CPU0	inout	24mA	ブルダウン	
C13	D1	外部バス	CPU0	inout	24mA	ブルダウン	
C14	A19	外部バス	CPU0	out	24mA	解放	
C15	A13	外部バス	CPU0	out	24mA	解放	
C16	A7	外部バス	CPU0	out	24mA	解放	
C17	A1	外部バス	CPU0	out	24mA	解放	
C18	MIL 1553B RX STROBE B 2	MIL-1553B	共通	out	8mA	解放	
C19	MIL 1553B TX INHIBIT A 2	MIL-1553B	共通	out	8mA	解放	
C20	MIL 1553B RX DATA BAR A 2	MIL-1553B	共通	in	-	ブルダウン	
C21	MIL 1553B TX DATA BAR B 1	MIL-1553B	共通	out	8mA	解放	
C22	GND	-	-	-	-	備考の通り	VSS,VSSQ
C23	GND	-	-	-	-	備考の通り	VSS,VSSQ
C24	GND	-	-	-	-	備考の通り	VSS,VSSQ
D1	1.2V	-	-	-	-	備考の通り	VDD
D2	D47	外部バス	CPU0	inout	24mA	ブルダウン	
D3	D45	外部バス	CPU0	inout	24mA	ブルダウン	
D4	D44	外部バス	CPU0	inout	24mA	ブルダウン	
D5	D41	外部バス	CPU0	inout	24mA	ブルダウン	
D6	D37	外部バス	CPU0	inout	24mA	ブルダウン	
D7	D31	外部バス	CPU0	inout	24mA	ブルダウン	
D8	D26	外部バス	CPU0	inout	24mA	ブルダウン	
D9	D20	外部バス	CPU0	inout	24mA	ブルダウン	

表 6 端子配置と端子機能 (2/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライブ 能力	グループ E サブ 1 端子処置	備考
D10	GND	-	-	-	-	備考の通り	VSS,VSSQ
D11	3.3V	-	-	-	-	備考の通り	VCCQ
D12	D2	外部バス	CPU0	inout	24mA	ブルダウン	
D13	D3	外部バス	CPU0	inout	24mA	ブルダウン	
D14	GND	-	-	-	-	備考の通り	VSS,VSSQ
D15	3.3V	-	-	-	-	備考の通り	VCCQ
D16	A9	外部バス	CPU0	out	24mA	解放	
D17	A2	外部バス	CPU0	out	24mA	解放	
D18	GND	-	-	-	-	備考の通り	VSS,VSSQ
D19	3.3V	-	-	-	-	備考の通り	VCCQ
D20	MIL 1553B RX DATA A 2	MIL-1553B	共通	in	-	ブルダウン	
D21	MIL 1553B EX SYNC 2	MIL-1553B	共通	in	-	ブルダウン	
D22	MIL 1553B RX STROBE B 1	MIL-1553B	共通	out	8mA	解放	
D23	MIL 1553B TX INHIBIT B 1	MIL-1553B	共通	out	8mA	解放	
D24	3.3V	-	-	-	-	備考の通り	VCCQ
E1	3.3V	-	-	-	-	備考の通り	VCCQ
E2	ALE	外部バス	CPU0	out	24mA	解放	
E3	D46	外部バス	CPU0	inout	24mA	ブルダウン	
E4	BC0	外部バス	CPU0	out	24mA	解放	
E5	D43	外部バス	CPU0	inout	24mA	ブルダウン	
E6	D39	外部バス	CPU0	inout	24mA	ブルダウン	
E7	D33	外部バス	CPU0	inout	24mA	ブルダウン	
E8	D27	外部バス	CPU0	inout	24mA	ブルダウン	
E9	D21	外部バス	CPU0	inout	24mA	ブルダウン	
E10	D16	外部バス	CPU0	inout	24mA	ブルダウン	
E11	D8	外部バス	CPU0	inout	24mA	ブルダウン	
E12	D4	外部バス	CPU0	inout	24mA	ブルダウン	
E13	A22	外部バス	CPU0	out	24mA	解放	
E14	A21	外部バス	CPU0	out	24mA	解放	
E15	A15	外部バス	CPU0	out	24mA	解放	
E16	A8	外部バス	CPU0	out	24mA	解放	
E17	A3	外部バス	CPU0	out	24mA	解放	
E18	MIL 1553B TX INHIBIT B 2	MIL-1553B	共通	out	8mA	解放	
E19	MIL 1553B RX STROBE A 2	MIL-1553B	共通	out	8mA	解放	
E20	MIL 1553B TX DATA A 2	MIL-1553B	共通	out	8mA	解放	
E21	MIL 1553B RX DATA BAR B 1	MIL-1553B	共通	in	-	ブルダウン	
E22	MIL 1553B TX INHIBIT A 1	MIL-1553B	共通	out	8mA	解放	
E23	MIL 1553B RX DATA B 1	MIL-1553B	共通	in	-	ブルダウン	
E24	1.2V	-	-	-	-	備考の通り	VDD
F1	1.2V	-	-	-	-	備考の通り	VDD
F2	BC1	外部バス	CPU0	out	24mA	解放	
F3	BC3	外部バス	CPU0	out	24mA	解放	
F4	3.3V	-	-	-	-	備考の通り	VCCQ
F5	BC2	外部バス	CPU0	out	24mA	解放	
F6	CAS#	外部バス	CPU0	out	24mA	解放	
F7	D35	外部バス	CPU0	inout	24mA	ブルダウン	
F8	GND	-	-	-	-	備考の通り	VSS,VSSQ
F9	3.3V	-	-	-	-	備考の通り	VCCQ
F10	D14	外部バス	CPU0	inout	24mA	ブルダウン	
F11	D10	外部バス	CPU0	inout	24mA	ブルダウン	
F12	GND	-	-	-	-	備考の通り	VSS,VSSQ
F13	3.3V	-	-	-	-	備考の通り	VCCQ
F14	A18	外部バス	CPU0	out	24mA	解放	
F15	A14	外部バス	CPU0	out	24mA	解放	
F16	GND	-	-	-	-		VSS,VSSQ
F17	3.3V	-	-	-	-		VCCQ
F18	MIL 1553B TX DATA BAR B 2	MIL-1553B	共通	out	8mA	解放	
F19	MIL 1553B RX DATA B 2	MIL-1553B	共通	in	-	ブルダウン	
F20	MIL 1553B TX DATA BAR A 1	MIL-1553B	共通	out	8mA	解放	
F21	MIL 1553B RX DATA BAR A 1	MIL-1553B	共通	in	-	ブルダウン	
F22	MIL 1553B RX STROBE A 1	MIL-1553B	共通	out	8mA	解放	
F23	MIL 1553B TX DATA A 1	MIL-1553B	共通	out	8mA	解放	
F24	1.2V	-	-	-	-	備考の通り	VDD
G1	GND	-	-	-	-	備考の通り	VSS,VSSQ
G2	CKE	外部バス	CPU0	out	24mA	解放	
G3	CS2#	外部バス	CPU0	out	24mA	解放	
G4	GND	-	-	-	-	備考の通り	VSS,VSSQ
G5	CS4#	外部バス	CPU0	out	24mA	解放	
G6	CS1#	外部バス	CPU0	out	24mA	解放	
G7	CS3#	外部バス	CPU0	out	24mA	解放	
G8	D29	外部バス	CPU0	inout	24mA	ブルダウン	
G9	D23	外部バス	CPU0	inout	24mA	ブルダウン	
G10	D18	外部バス	CPU0	inout	24mA	ブルダウン	
G11	D12	外部バス	CPU0	inout	24mA	ブルダウン	
G12	D6	外部バス	CPU0	inout	24mA	ブルダウン	
G13	D0	外部バス	CPU0	inout	24mA	ブルダウン	
G14	A20	外部バス	CPU0	out	24mA	解放	

表 6 端子配置と端子機能 (3/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライブ 能力	グループ E サブ 1 端子処置	備考
G15	A16	外部バス	CPU0	out	24mA	解放	
G16	A10	外部バス	CPU0	out	24mA	解放	
G17	A4	外部バス	CPU0	out	24mA	解放	
G18	A0	外部バス	CPU0	out	24mA	解放	
G19	MIL 1553B SUBSYSTEM 1	MIL-1553B	共通	in	-	ブルダウン	
G20	GPIO 2 11	SpaceWire	共通	in	-	ブルダウン	ch4~6 共通
G21	MIL 1553B RX DATA A 1	MIL-1553B	共通	in	-	ブルダウン	
G22	MIL 1553B EX SYNC 1	MIL-1553B	共通	in	-	ブルダウン	
G23	GPIO 2 10	SpaceWire	共通	in	-	ブルダウン	ch4~6 共通
G24	GND	-	-	-	-	備考の通り	VSS,VSSQ
H1	1.2V	-	-	-	-	備考の通り	VDD
H2	DQM0	外部バス	CPU0	out	24mA	解放	
H3	DQM2	外部バス	CPU0	out	24mA	解放	
H4	CS5#	外部バス	CPU0	out	24mA	解放	
H5	CS6#	外部バス	CPU0	out	24mA	解放	
H6	3.3V	-	-	-	-	-	VCCQ
H7	CST#	外部バス	CPU0	out	24mA	解放	
H8	DQM1	外部バス	CPU0	out	24mA	解放	
H9	D25	外部バス	CPU0	inout	24mA	ブルダウン	
H10	GND	-	-	-	-	備考の通り	VSS,VSSQ,VBN
H11	1.2V	-	-	-	-	備考の通り	VDD
H12	1.2V	-	-	-	-	備考の通り	VDD
H13	1.2V	-	-	-	-	備考の通り	VDD
H14	1.2V	-	-	-	-	備考の通り	VDD, VBP
H15	1.2V	-	-	-	-	備考の通り	VDD
H16	A12	外部バス	CPU0	out	24mA	解放	
H17	A6	外部バス	CPU0	out	24mA	解放	
H18	GPIO 2 01	SpaceWire	共通	in	-	ブルダウン	ch4~6 共通
H19	3.3V	-	-	-	-	備考の通り	VCCQ
H20	D_OUT(5)	SpaceWire	共通	out	8mA	解放	
H21	GPIO 2 00	SpaceWire	共通	in	-	ブルダウン	ch4~6 共通
H22	D_IN(5)	SpaceWire	共通	in	-	ブルダウン	
H23	S_IN(5)	SpaceWire	共通	in	-	ブルダウン	
H24	3.3V	-	-	-	-	備考の通り	VCCQ
J1	3.3V	-	-	-	-	備考の通り	VCCQ
J2	DQM5	外部バス	CPU0	out	24mA	解放	
J3	RD#	外部バス	CPU0	out	24mA	解放	
J4	DQM3	外部バス	CPU0	out	24mA	解放	
J5	DQM4	外部バス	CPU0	out	24mA	解放	
J6	GND	-	-	-	-	備考の通り	VSS,VSSQ
J7	RAS#	外部バス	CPU0	out	24mA	解放	
J8	1.2V	-	-	-	-	備考の通り	VDD
J9	GND	-	-	-	-	備考の通り	VSS,VSSQ
J10	1.2V	-	-	-	-	備考の通り	VDD
J11	GND	-	-	-	-	備考の通り	VSS,VSSQ
J12	1.2V	-	-	-	-	備考の通り	VDD
J13	GND	-	-	-	-	備考の通り	VSS,VSSQ
J14	1.2V	-	-	-	-	備考の通り	VDD
J15	GND	-	-	-	-	備考の通り	VSS,VSSQ
J16	1.2V	-	-	-	-	備考の通り	VDD
J17	GND	-	-	-	-	備考の通り	VSS,VSSQ
J18	S_OUT(5)	SpaceWire	共通	out	8mA	解放	
J19	GND	-	-	-	-	備考の通り	VSS,VSSQ
J20	D_OUT(4)	SpaceWire	共通	out	8mA	解放	
J21	D_IN(4)	SpaceWire	共通	in	-	ブルダウン	
J22	S_IN(4)	SpaceWire	共通	in	-	ブルダウン	
J23	D_IN(3)	SpaceWire	共通	in	-	ブルダウン	
J24	1.2V	-	-	-	-	備考の通り	VDD
K1	GND	-	-	-	-	備考の通り	VSS,VSSQ
K2	SDCS#	外部バス	CPU0	out	24mA	解放	
K3	3.3V	-	-	-	-	備考の通り	VCCQ
K4	SDCS2#	外部バス	CPU0	out	24mA	解放	
K5	SDCS1#	外部バス	CPU0	out	24mA	解放	
K6	SDCS3#	外部バス	CPU0	out	24mA	解放	
K7	WE#	外部バス	CPU0	out	24mA	解放	
K8	WR1#	外部バス	CPU0	out	24mA	解放	
K9	1.2V	-	-	-	-	備考の通り	VDD
K10	GND	-	-	-	-	備考の通り	VSS,VSSQ
K11	1.2V	-	-	-	-	備考の通り	VDD
K12	GND	-	-	-	-	備考の通り	VSS,VSSQ
K13	1.2V	-	-	-	-	備考の通り	VDD
K14	GND	-	-	-	-	備考の通り	VSS,VSSQ
K15	1.2V	-	-	-	-	備考の通り	VDD
K16	GND	-	-	-	-	備考の通り	VSS,VSSQ
K17	1.2V	-	-	-	-	備考の通り	VDD
K18	S_OUT(4)	SpaceWire	共通	out	8mA	解放	

表 6 端子配置と端子機能 (4/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ 能力	ゲルマ ニウム E サ 1 端子処置	備考
K19	D_OUT(3)	SpaceWire	共通	out	8mA	解放	
K20	S_OUT(3)	SpaceWire	共通	out	8mA	解放	
K21	S_IN(3)	SpaceWire	共通	in	-	ブルダウン	
K22	3.3V	-	-	-	-	備考の通り	VCCQ
K23	GPIO_1_10	SpaceWire	共通	in	-	ブルダウン	ch1~3 共通
K24	1.2V	-	-	-	-	備考の通り	VDD
L1	1.2V	-	-	-	-	備考の通り	VDD
L2	SDCLK	外部バス	CPU0	out	24mA	解放	
L3	GND	-	-	-	-	備考の通り	VSS,VSSQ
L4	WAIT#	外部バス	CPU0	in	-	ブルダウン	
L5	WR3#	外部バス	CPU0	out	24mA	解放	
L6	CS_BSW[1]	外部バス	CPU0	in	-	ブルダウン	外部バス領域 1 の初期バス幅設定
L7	PLL_SEL[0]	CPG	共通	in	-	ブルダウン	
L8	1.2V	-	-	-	-	備考の通り	VDD
L9	GND	-	-	-	-	備考の通り	VSS,VSSQ
L10	1.2V	-	-	-	-	備考の通り	VDD
L11	GND	-	-	-	-	備考の通り	VSS,VSSQ
L12	1.2V	-	-	-	-	備考の通り	VDD
L13	GND	-	-	-	-	備考の通り	VSS,VSSQ
L14	1.2V	-	-	-	-	備考の通り	VDD
L15	GND	-	-	-	-	備考の通り	VSS,VSSQ
L16	1.2V	-	-	-	-	備考の通り	VDD
L17	GND	-	-	-	-	備考の通り	VSS,VSSQ, VBN
L18	GPIO_1_11	SpaceWire	共通	in	-	ブルダウン	ch1~3 共通
L19	GPIO_1_01	SpaceWire	共通	in	-	ブルダウン	ch1~3 共通
L20	D_OUT(2)	SpaceWire	共通	out	8mA	解放	
L21	GPIO_1_00	SpaceWire	共通	in	-	ブルダウン	ch1~3 共通
L22	GND	-	-	-	-	備考の通り	VSS,VSSQ
L23	D_IN(2)	SpaceWire	共通	in	-	ブルダウン	
L24	3.3V	-	-	-	-	備考の通り	VCCQ
M1	1.2V	-	-	-	-	備考の通り	VDD
M2	WR0#	外部バス	CPU0	out	24mA	解放	
M3	WR2#	外部バス	CPU0	out	24mA	解放	
M4	CS_BSW[0]	外部バス	CPU0	in	-	ブルダウン	外部バス領域 1 の初期バス幅設定
M5	PLL_SEL[2]	CPG	共通	in	-	ブルダウン	
M6	3.3V	-	-	-	-	備考の通り	VCCQ
M7	PLL_SEL[4]	CPG	共通	in	-	ブルダウン	
M8	GND	-	-	-	-	備考の通り	VSS,VSSQ
M9	1.2V	-	-	-	-	備考の通り	VDD
M10	GND	-	-	-	-	備考の通り	VSS,VSSQ
M11	1.2V	-	-	-	-	備考の通り	VDD
M12	GND	-	-	-	-	備考の通り	VSS,VSSQ
M13	1.2V	-	-	-	-	備考の通り	VDD
M14	GND	-	-	-	-	備考の通り	VSS,VSSQ
M15	1.2V	-	-	-	-	備考の通り	VDD
M16	GND	-	-	-	-	備考の通り	VSS,VSSQ
M17	1.2V	-	-	-	-	備考の通り	VDD
M18	S_OUT(2)	SpaceWire	共通	out	8mA	解放	
M19	3.3V	-	-	-	-	備考の通り	VCCQ
M20	D_OUT(1)	SpaceWire	共通	out	8mA	解放	
M21	D_IN(1)	SpaceWire	共通	in	-	ブルダウン	
M22	S_IN(2)	SpaceWire	共通	in	-	ブルダウン	
M23	S_IN(0)	SpaceWire	共通	in	-	ブルダウン	
M24	GND	-	-	-	-	備考の通り	VSS,VSSQ
N1	GND	-	-	-	-	備考の通り	VSS,VSSQ
N2	EXT_CLK	CPG	共通	in	-	ブルダウン	
N3	PLL_SEL[1]	CPG	共通	in	-	ブルダウン	
N4	PLL_SEL[3]	CPG	共通	in	-	ブルダウン	
N5	JTAG_CLK	CPG	共通	in	-	ブルダウン	TCK
N6	GND	-	-	-	-	備考の通り	VSS,VSSQ
N7	IRQ1	外部割込み	共通	in	-	ブルダウン	
N8	1.2V	-	-	-	-	備考の通り	VDD
N9	GND	-	-	-	-	備考の通り	VSS,VSSQ
N10	1.2V	-	-	-	-	備考の通り	VDD
N11	GND	-	-	-	-	備考の通り	VSS,VSSQ
N12	1.2V	-	-	-	-	備考の通り	VDD
N13	GND	-	-	-	-	備考の通り	VSS,VSSQ
N14	1.2V	-	-	-	-	備考の通り	VDD
N15	GND	-	-	-	-	備考の通り	VSS,VSSQ
N16	1.2V	-	-	-	-	備考の通り	VDD
N17	1.2V	-	-	-	-	備考の通り	VDD
N18	S_OUT(1)	SpaceWire	共通	out	8mA	解放	
N19	GND	-	-	-	-	備考の通り	VSS,VSSQ
N20	D_OUT(0)	SpaceWire	共通	out	8mA	解放	

表 6 端子配置と端子機能 (5/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ ブ能力	グループ E サ' 1 端子処置	備考
N21	S_IN(1)	SpaceWire	共通	In	-	プルダウン	
N22	D_IN(0)	SpaceWire	共通	In	-	プルダウン	
N23	clk_gptp_extern_1	Ethernet	共通	In	-	プルダウン	gPTP 機能
N24	1.2V	-	-	-	-	備考の通り	VDD
P1	3.3V	-	-	-	-	備考の通り	VCCQ
P2	NMI	外部割込み	CPU0	In	-	プルダウン	
P3	GND	-	-	-	-	備考の通り	VSS,VSSQ
P4	IRQ2	外部割込み	共通	In	-	プルダウン	
P5	MD[0]	システム	共通	In	-	プルダウン	
P6	IRQ3	外部割込み	共通	In	-	プルダウン	
P7	MD[1]	システム	共通	In	-	プルダウン	
P8	1.2V	-	-	-	-	備考の通り	VDD
P9	1.2V	-	-	-	-	備考の通り	VDD
P10	GND	-	-	-	-	備考の通り	VSS,VSSQ
P11	1.2V	-	-	-	-	備考の通り	VDD
P12	GND	-	-	-	-	備考の通り	VSS,VSSQ
P13	1.2V	-	-	-	-	備考の通り	VDD
P14	GND	-	-	-	-	備考の通り	VSS,VSSQ
P15	1.2V	-	-	-	-	備考の通り	VDD
P16	GND	-	-	-	-	備考の通り	VSS,VSSQ
P17	1.2V	-	-	-	-	備考の通り	VDD
P18	S_OUT(0)	SpaceWire	共通	out	8mA	解放	
P19	avb_pt_capture_1	Ethernet	共通	in	-	プルダウン	gPTP 機能
P20	clk_miitx_clk_1	Ethernet	共通	in	-	プルダウン	
P21	3.3V	-	-	-	-	備考の通り	VCCQ
P22	clk_miirx_clk_1	Ethernet	共通	in	-	プルダウン	
P23	avd_miirx_err_1	Ethernet	共通	in	-	プルダウン	
P24	1.2V	-	-	-	-	備考の通り	VDD
R1	1.2V	-	-	-	-	備考の通り	VDD
R2	USER_CLK	CPG	共通	out	-	解放	
R3	3.3V	-	-	-	-	備考の通り	VCCQ
R4	RES#	システム	共通	in	-	プルダウン	
R5	TRST#	CPU 用 JTAG	共通	in	-	プルダウン	
R6	TDI	CPU 用 JTAG	共通	in	-	プルダウン	
R7	TDO	CPU 用 JTAG	共通	out	8mA	解放	
R8	1.2V	-	-	-	-	備考の通り	VDD
R9	GND	-	-	-	-	備考の通り	VSS,VSSQ
R10	1.2V	-	-	-	-	備考の通り	VDD
R11	GND	-	-	-	-	備考の通り	VSS,VSSQ
R12	1.2V	-	-	-	-	備考の通り	VDD
R13	GND	-	-	-	-	備考の通り	VSS,VSSQ
R14	1.2V	-	-	-	-	備考の通り	VDD
R15	GND	-	-	-	-	備考の通り	VSS,VSSQ
R16	1.2V	-	-	-	-	備考の通り	VDD
R17	1.2V	-	-	-	-	備考の通り	VDD, VBP
R18	avd_miirx_rxd0_1	Ethernet	共通	in	-	プルダウン	
R19	avd_miitx_crs_1	Ethernet	共通	in	-	プルダウン	
R20	fet_miitx_err_1	Ethernet	共通	out	8mA	解放	
R21	GND	-	-	-	-	備考の通り	VSS,VSSQ
R22	avd_miirx_dv_1	Ethernet	共通	in	-	プルダウン	
R23	avd_miitx_col_1	Ethernet	共通	in	-	プルダウン	
R24	GND	-	-	-	-	備考の通り	VSS,VSSQ
T1	1.2V	-	-	-	-	備考の通り	VDD
T2	EMLE	CPU 用 JTAG	共通	in	-	プルダウン	
T3	TMS	CPU 用 JTAG	共通	in	-	プルダウン	
T4	Reserved	-	-	-	-	プルダウン	
T5	Reserved	-	-	-	-	プルダウン	
T6	3.3V	-	-	-	-	備考の通り	VCCQ
T7	Reserved	-	-	-	-	プルダウン	
T8	Reserved	-	-	-	-	プルダウン	
T9	1.2V	-	-	-	-	備考の通り	VDD
T10	GND	-	-	-	-	備考の通り	VSS,VSSQ
T11	1.2V	-	-	-	-	備考の通り	VDD
T12	GND	-	-	-	-	備考の通り	VSS,VSSQ
T13	1.2V	-	-	-	-	備考の通り	VDD
T14	GND	-	-	-	-	備考の通り	VSS,VSSQ
T15	1.2V	-	-	-	-	備考の通り	VDD
T16	GND	-	-	-	-	備考の通り	VSS,VSSQ
T17	fet_miitx_txd2_1	Ethernet	共通	out	8mA	解放	
T18	avd_miirx_rxd1_1	Ethernet	共通	in	-	プルダウン	
T19	3.3V	-	-	-	-	備考の通り	VCCQ
T20	avd_miirx_rxd2_1	Ethernet	共通	in	-	プルダウン	
T21	clk_miirx_clk_0	Ethernet	共通	in	-	プルダウン	
T22	fet_miitx_txd0_1	Ethernet	共通	out	8mA	解放	
T23	avd_miirx_rxd3_1	Ethernet	共通	in	-	プルダウン	
T24	3.3V	-	-	-	-	備考の通り	VCCQ

表 6 端子配置と端子機能 (6/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ ブ能力	グループ E の 1 端子処置	備考
U1	3.3V	-	-	-	-	備考の通り	VCCQ
U2	Reserved	-	-	-	-	ブルダウン	
U3	Reserved	-	-	-	-	ブルダウン	
U4	Reserved	-	-	-	-	ブルダウン	
U5	Reserved	-	-	-	-	ブルダウン	
U6	GND	-	-	-	-	備考の通り	VSS,VSSQ
U7	Reserved	-	-	-	-	ブルダウン	
U8	TIC0_CPU0_2/PORT_K(4)	CMTW	CPU0	inout	8mA	ブルダウン	
U9	TOC0_CPU1_1/PORT_L(1)	CMTW	CPU1	inout	8mA	ブルダウン	
U10	1.2V	-	-	-	-	備考の通り	VDD
U11	GND	-	-	-	-	備考の通り	VSS,VSSQ
U12	1.2V	-	-	-	-	備考の通り	VDD
U13	1.2V	-	-	-	-	備考の通り	VDD
U14	1.2V	-	-	-	-	備考の通り	VDD
U15	GND	-	-	-	-	備考の通り	VSS,VSSQ
U16	1.2V	-	-	-	-	備考の通り	VDD
U17	fet_mitx_txd1_1	Ethernet	共通	out	8mA	解放	
U18	fec_mimc_crxmdc_1	Ethernet	共通	out	8mA	解放	
U19	GND	-	-	-	-	備考の通り	VSS,VSSQ
U20	fet_mitx_txd3_1	Ethernet	共通	out	8mA	解放	
U21	fet_mitx_en_1	Ethernet	共通	out	8mA	解放	
U22	3.3V	-	-	-	-	備考の通り	VCCQ
U23	clk_gptp_extern_0	Ethernet	共通	in	-	ブルダウン	gPTP 機能
U24	1.2V	-	-	-	-	備考の通り	VDD
V1	GND	-	-	-	-	備考の通り	VSS,VSSQ
V2	Reserved	-	-	-	-	ブルダウン	
V3	Reserved	-	-	-	-	ブルダウン	
V4	Reserved	-	-	-	-	ブルダウン	
V5	Reserved	-	-	-	-	ブルダウン	
V6	Reserved	-	-	-	-	ブルダウン	
V7	TMRI0_CPU1/PORT_J(2)	TMR	CPU1	inout	8mA	ブルダウン	TMRI1_CPU1 と共通端子
V8	TIC1_CPU0_1/PORT_K(2)	CMTW	CPU0	inout	8mA	ブルダウン	
V9	TOC1_CPU0_2/PORT_K(7)	CMTW	CPU0	inout	8mA	ブルダウン	
V10	TOC1_CPU1_2/PORT_L(7)	CMTW	CPU1	inout	8mA	ブルダウン	
V11	SS1_0#/CTS1_0#/ RTS1_0#/PORT_H(1)	SCI	CPU1	inout	8mA	ブルダウン	
V12	TXD0_CPU1/PORT_H(3)	SCI	CPU1	inout	8mA	ブルダウン	TXD0_1/SDA0_1/MOSI0_1
V13	TXD1_CPU1/PORT_H(7)	SCIF	CPU1	inout	8mA	ブルダウン	TXD1_1/SDA1_1/MOSI1_1
V14	RSPCK/PORT_C(5)	SPI	CPU0	inout	8mA	ブルダウン	
V15	SSL1/PORT_D(2)	SPI	CPU1	inout	8mA	ブルダウン	
V16	GTIOC2A/PORT_A(5)	GPT	CPU0	inout	8mA	ブルダウン	
V17	GTIOC3A/PORT_A(7)	GPT	CPU0	inout	8mA	ブルダウン	
V18	fec_mimc_crxmdo/mdi_1	Ethernet	共通	inout	8mA	ブルダウン	
V19	avd_miirx_err_0	Ethernet	共通	in	-	ブルダウン	
V20	fet_mitx_err_0	Ethernet	共通	out	8mA	解放	
V21	avb_pt_capture_0	Ethernet	共通	in	-	ブルダウン	gPTP 機能
V22	GND	-	-	-	-	備考の通り	VSS,VSSQ
V23	avd_miirx_rxd0_0	Ethernet	共通	in	-	ブルダウン	
V24	GND	-	-	-	-	備考の通り	VSS,VSSQ
W1	1.2V	-	-	-	-	備考の通り	VDD
W2	Reserved	-	-	-	-	ブルダウン	
W3	Reserved	-	-	-	-	ブルダウン	
W4	Reserved	-	-	-	-	ブルダウン	
W5	Reserved	-	-	-	-	ブルダウン	
W6	TMRI0_CPU0/PORT_I(2)	TMR	CPU0	inout	8mA	ブルダウン	TMRI1_CPU0 と共通端子
W7	TMO0_CPU1/PORT_J(0)	TMR	CPU1	inout	8mA	ブルダウン	
W8	3.3V	-	-	-	-	備考の通り	VCCQ
W9	GND	-	-	-	-	備考の通り	VSS,VSSQ
W10	TOC0_CPU1_2/PORT_L(5)	CMTW	CPU1	inout	8mA	ブルダウン	
W11	TXD0_CPU0/PORT_G(3)	SCI	CPU0	inout	8mA	ブルダウン	TXD0_0/SDA0_0/MOSI0_0
W12	3.3V	-	-	-	-	備考の通り	VCCQ
W13	GND	-	-	-	-	備考の通り	VSS,VSSQ
W14	MOSI/PORT_C(3)	SPI	CPU0	inout	8mA	ブルダウン	
W15	SSL3/PORT_D(0)	SPI	CPU1	inout	8mA	ブルダウン	
W16	3.3V	-	-	-	-	備考の通り	VCCQ
W17	GND	-	-	-	-	備考の通り	VSS,VSSQ
W18	GTIOC0B/PORT_B(2)	GPT	CPU1	inout	8mA	ブルダウン	
W19	avd_miirx_dv_0	Ethernet	共通	in	-	ブルダウン	
W20	avd_miirx_col_0	Ethernet	共通	in	-	ブルダウン	
W21	clk_miirx_clk_0	Ethernet	共通	in	-	ブルダウン	
W22	avd_miirx_crs_0	Ethernet	共通	in	-	ブルダウン	
W23	fet_mitx_txd2_0	Ethernet	共通	out	8mA	解放	
W24	1.2V	-	-	-	-	備考の通り	VDD
Y1	1.2V	-	-	-	-	備考の通り	VDD

表 6 端子配置と端子機能 (7/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ ブ能力	グループ E サブ 1 端子処置	備考
Y2	Reserved	-	-	-	-	プルダウン	
Y3	Reserved	-	-	-	-	プルダウン	
Y4	Reserved	-	-	-	-	プルダウン	
Y5	SCL1 (FM+)/PORT_F(0)	I2C	CPU1	inout	8mA	プルダウン	I2C 機能で out は LOW/High-Z
Y6	TMO0_CPU0/PORT_I(0)	TMR	CPU0	inout	8mA	プルダウン	
Y7	TMO1_CPU1/PORT_J(3)	TMR	CPU1	inout	8mA	プルダウン	
Y8	TOC0_CPU0_1/PORT_K(1)	CMTW	CPU0	inout	8mA	プルダウン	
Y9	TOC0_CPU0_2/PORT_K(5)	CMTW	CPU0	inout	8mA	プルダウン	
Y10	TOC1_CPU1_1/PORT_L(3)	CMTW	CPU1	inout	8mA	プルダウン	
Y11	SS0_0#/CTS0_0#/RTS0_0#/PORT_G(1)	SCI	CPU0	inout	8mA	プルダウン	
Y12	SS0_1#/CTS0_1#/RTS0_1#/PORT_G(5)	SCIF	CPU0	inout	8mA	プルダウン	
Y13	SS1_1#/CTS1_1#/RTS1_1#/PORT_H(5)	SCIF	CPU1	inout	8mA	プルダウン	
Y14	SSL2/PORT_C(1)	SPI	CPU0	inout	8mA	プルダウン	
Y15	SSL2/PORT_D(1)	SPI	CPU1	inout	8mA	プルダウン	
Y16	SSL0/PORT_D(6)	SPI	CPU1	inout	8mA	プルダウン	
Y17	GTIOC1A/PORT_A(3)	GPT	CPU0	inout	8mA	プルダウン	
Y18	GTETRG/PORT_B(0)	GPT	CPU1	inout	8mA	プルダウン	ch1~4 共通
Y19	GTIOC2B/PORT_B(6)	GPT	CPU1	inout	8mA	プルダウン	
Y20	fet_miitx_en_0	Ethernet	共通	out	8mA	解放	
Y21	fet_miitx_txd0_0	Ethernet	共通	out	8mA	解放	
Y22	avd_miirx_rxd1_0	Ethernet	共通	in	-	プルダウン	
Y23	avd_miirx_rxd2_0	Ethernet	共通	in	-	プルダウン	
Y24	3.3V	-	-	-	-	備考の通り	VCCQ
AA1	3.3V	-	-	-	-	備考の通り	VCCQ
AA2	Reserved	-	-	-	-	プルダウン	
AA3	Reserved	-	-	-	-	プルダウン	
AA4	CTX1	CAN	CPU1	out	8mA	解放	
AA5	SCL0 (FM+)/PORT_E(0)	I2C	CPU0	inout	8mA	プルダウン	I2C 機能で out は LOW/High-Z
AA6	3.3V	-	-	-	-	備考の通り	VCCQ
AA7	GND	-	-	-	-	備考の通り	VSS,VSSQ
AA8	TIC1_CPU0_2/PORT_K(6)	CMTW	CPU0	inout	8mA	プルダウン	
AA9	TIC0_CPU1_2/PORT_L(4)	CMTW	CPU1	inout	8mA	プルダウン	
AA10	3.3V	-	-	-	-	備考の通り	VCCQ
AA11	GND	-	-	-	-	備考の通り	VSS,VSSQ
AA12	RXD1_CPU0/PORT_G(6)	SCIF	CPU0	inout	8mA	プルダウン	RXD1_0/SCL1_0/MISO1_0
AA13	TXD1_CPU0/PORT_G(7)	SCIF	CPU0	inout	8mA	プルダウン	TXD1_0/SDA1_0/MOSI1_0
AA14	3.3V	-	-	-	-	備考の通り	VCCQ
AA15	GND	-	-	-	-	備考の通り	VSS,VSSQ
AA16	MISO/PORT_D(4)	SPI	CPU1	inout	8mA	プルダウン	
AA17	GTIOC0A/PORT_A(1)	GPT	CPU0	inout	8mA	プルダウン	
AA18	GTIOC3B/PORT_A(8)	GPT	CPU0	inout	8mA	プルダウン	
AA19	GTIOC1B/PORT_B(4)	GPT	CPU1	inout	8mA	プルダウン	
AA20	fec_miimg_crxmdc_0	Ethernet	共通	out	8mA	解放	
AA21	avd_miirx_rxd3_0	Ethernet	共通	in	-	プルダウン	
AA22	fet_miitx_txd1_0	Ethernet	共通	out	8mA	解放	
AA23	fet_miitx_txd3_0	Ethernet	共通	out	8mA	解放	
AA24	1.2V	-	-	-	-	備考の通り	VDD
AB1	GND	-	-	-	-	備考の通り	VSS,VSSQ
AB2	GND	-	-	-	-	備考の通り	VSS,VSSQ
AB3	GND	-	-	-	-	備考の通り	VSS,VSSQ
AB4	CTX0	CAN	CPU0	out	8mA	解放	
AB5	SDA0 (FM+)/PORT_E(1)	I2C	CPU0	inout	8mA	プルダウン	I2C 機能で out は LOW/High-Z
AB6	TMCI0_CPU0/PORT_I(1)	TMR	CPU0	inout	8mA	プルダウン	TMCI1_CPU0 と共通端子
AB7	TMCI0_CPU1/PORT_J(1)	TMR	CPU1	inout	8mA	プルダウン	TMCI1_CPU1 と共通端子
AB8	TOC1_CPU0_1/PORT_K(3)	CMTW	CPU0	inout	8mA	プルダウン	
AB9	TIC1_CPU1_1/PORT_L(2)	CMTW	CPU1	inout	8mA	プルダウン	
AB10	SCK0_CPU0/PORT_G(0)	SCI	CPU0	inout	8mA	プルダウン	
AB11	SCK0_CPU1/PORT_H(0)	SCI	CPU1	inout	8mA	プルダウン	
AB12	SCK1_CPU0/PORT_G(4)	SCIF	CPU0	inout	8mA	プルダウン	
AB13	RXD1_CPU1/PORT_H(6)	SCIF	CPU1	inout	8mA	プルダウン	RXD1_1/SCL1_1/MISO1_1
AB14	SSL1/PORT_C(2)	SPI	CPU0	inout	8mA	プルダウン	
AB15	SSL0/PORT_C(6)	SPI	CPU0	inout	8mA	プルダウン	
AB16	RSPCK/PORT_D(5)	SPI	CPU1	inout	8mA	プルダウン	
AB17	GTIOC0B/PORT_A(2)	GPT	CPU0	inout	8mA	プルダウン	
AB18	GTIOC2B/PORT_A(6)	GPT	CPU0	inout	8mA	プルダウン	
AB19	GTIOC1A/PORT_B(3)	GPT	CPU1	inout	8mA	プルダウン	
AB20	GTIOC3B/PORT_B(8)	GPT	CPU1	inout	8mA	プルダウン	
AB21	fec_miimg_crxmdo/mdi_0	Ethernet	共通	inout	8mA	プルダウン	
AB22	GND	-	-	-	-	備考の通り	VSS,VSSQ
AB23	GND	-	-	-	-	備考の通り	VSS,VSSQ
AB24	GND	-	-	-	-	備考の通り	VSS,VSSQ
AC1	GND	-	-	-	-	備考の通り	VSS,VSSQ
AC2	GND	-	-	-	-	備考の通り	VSS,VSSQ
AC3	GND	-	-	-	-	備考の通り	VSS,VSSQ

表 6 端子配置と端子機能 (8/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライバ 能力	グループ E サブ 1 端子処置	備考
AC4	CRX0	CAN	CPU0	in	-	プルダウン	
AC5	CRX1	CAN	CPU1	in	-	プルダウン	
AC6	SDA1 (FM+)/PORT_F(1)	I2C	CPU1	inout	8mA	プルダウン	I2C 機能で out は LOW/High-Z
AC7	TMO1_CPU0/PORT_I(3)	TMR	CPU0	inout	8mA	プルダウン	
AC8	TIC0_CPU0_1/PORT_K(0)	CMTW	CPU0	inout	8mA	プルダウン	
AC9	TIC0_CPU1_1/PORT_L(0)	CMTW	CPU1	inout	8mA	プルダウン	
AC10	TIC1_CPU1_2/PORT_L(6)	CMTW	CPU1	inout	8mA	プルダウン	
AC11	RXD0_CPU0/PORT_G(2)	SCI	CPU0	inout	8mA	プルダウン	RXD0_0/SCL0_0/MI SO0_0
AC12	RXD0_CPU1/PORT_H(2)	SCI	CPU1	inout	8mA	プルダウン	RXD0_1/SCL0_1/MI SO0_1
AC13	SCK1_CPU1/PORT_H(4)	SCIF	CPU1	inout	8mA	プルダウン	
AC14	SSL3/PORT_C(0)	SPI	CPU0	inout	8mA	プルダウン	
AC15	MISO/PORT_C(4)	SPI	CPU0	inout	8mA	プルダウン	
AC16	MOSI/PORT_D(3)	SPI	CPU1	inout	8mA	プルダウン	
AC17	GTETRQ/PORT_A(0)	GPT	CPU0	inout	8mA	プルダウン	ch1~4 共通
AC18	GTIOC1B/PORT_A(4)	GPT	CPU0	inout	8mA	プルダウン	
AC19	GTIOC0A/PORT_B(1)	GPT	CPU1	inout	8mA	プルダウン	
AC20	GTIOC2A/PORT_B(5)	GPT	CPU1	inout	8mA	プルダウン	
AC21	GTIOC3A/PORT_B(7)	GPT	CPU1	inout	8mA	プルダウン	
AC22	GND	-	-	-	-	備考の通り	VSS,VSSQ
AC23	GND	-	-	-	-	備考の通り	VSS,VSSQ
AC24	GND	-	-	-	-	備考の通り	VSS,VSSQ
AD2	GND	-	-	-	-	備考の通り	VSS,VSSQ
AD3	GND	-	-	-	-	備考の通り	VSS,VSSQ
AD4	1.2V	-	-	-	-	備考の通り	VDD
AD5	3.3V	-	-	-	-	備考の通り	VCCQ
AD6	1.2V	-	-	-	-	備考の通り	VDD
AD7	GND	-	-	-	-	備考の通り	VSS,VSSQ
AD8	1.2V	-	-	-	-	備考の通り	VDD
AD9	3.3V	-	-	-	-	備考の通り	VCCQ
AD10	GND	-	-	-	-	備考の通り	VSS,VSSQ
AD11	1.2V	-	-	-	-	備考の通り	VDD
AD12	1.2V	-	-	-	-	備考の通り	VDD
AD13	GND	-	-	-	-	備考の通り	VSS,VSSQ
AD14	3.3V	-	-	-	-	備考の通り	VCCQ
AD15	1.2V	-	-	-	-	備考の通り	VDD
AD16	1.2V	-	-	-	-	備考の通り	VDD
AD17	3.3V	-	-	-	-	備考の通り	VCCQ
AD18	GND	-	-	-	-	備考の通り	VSS,VSSQ
AD19	1.2V	-	-	-	-	備考の通り	VDD
AD20	1.2V	-	-	-	-	備考の通り	VDD
AD21	3.3V	-	-	-	-	備考の通り	VCCQ
AD22	GND	-	-	-	-	備考の通り	VSS,VSSQ
AD23	GND	-	-	-	-	備考の通り	VSS,VSSQ

表 7 電気的特性(DC 特性)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C)

項目		記号	Min.	Max	単位	条件
入力電圧		V_{IL}	–	$0.2 \times VCCQ$	V	–
		V_{IH}	$0.7 \times VCCQ$	–	V	–
入力リーク		I_{IL}	–0.6	0.6	μA	–
		I_{IH}	–0.6	0.6	μA	–
出力電圧	8mA バッファ	$V_{OL(8mA)}$	–	0.4	V	$I_{OL}=8mA$
	24mA バッファ	$V_{OL(24mA)}$	–	0.4	V	$I_{OL}=24mA$
	8mA バッファ	$V_{OH(8mA)}$	$0.8 \times VCCQ$	–	V	$I_{OH}=8mA$
	24mA バッファ	$V_{OH(24mA)}$	$0.8 \times VCCQ$	–	V	$I_{OH}=24mA$

表 8 電気的特性(AC 特性)(1/13) (パワーオンシーケンス)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C)

項目	記号	min	typ	max	単位	タイミング図 ⁽³⁾
外部信号 (EXT_CLK) の クロック周期	t _{cyc}	–	50 ⁽¹⁾ 10 ⁽²⁾	–	ns ns	図 5、 図 6
リセット解除時間 (電源電圧安定後からリ セット解除までの時間)	t _{PLL_RST}	1	–	–	ms	
外部信号 (PLL_SEL) 保持時間	t _{PLL_SEL}	3	–	–	t _{cyc}	
PLL ロックアップ時間	t _{PLL_LUP}	–	–	50	μs	
内部リセット解除時間	t _{RST}	–	1024	–	t _{cyc}	

注⁽¹⁾ 内部 PLL 使用時注⁽²⁾ 内部 PLL 未使用時注⁽³⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。

表 8 電気的特性(AC 特性)(2/13) (CS 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽¹⁾
アドレス遅延時間	t _{AD}	2.8	15.4	ns	図 7 ~図 12
バイトコントロール遅延時間	t _{BCD}	2.8	15.4	ns	
CS#遅延時間	t _{CSD}	2.8	15.4	ns	
ALE 遅延時間	t _{ALED}	2.8	15.4	ns	
RD#遅延時間	t _{RSD}	2.8	15.4	ns	
リードデータセットアップ時間	t _{RDS}	12.78	—	ns	
リードデータホールド時間	t _{RDH}	3	—	ns	
WR#遅延時間	t _{WRD}	2.8	15.4	ns	
ライトデータ遅延時間	t _{WDD}	1.7	15.4	ns	
ライトデータホールド時間	t _{WDH}	2.8	—	ns	
WAIT#セットアップ時間	t _{WTS}	12.78	—	ns	図 13
WAIT#ホールド時間	t _{WTH}	3	—	ns	
アドレス遅延時間 2 (SDRAM)	t _{AD2}	2.8	15.4	ns	図 14 ~図 16
CS#遅延時間 2 (SDRAM)	t _{CSD2}	2.8	15.4	ns	
DQM 遅延時間 (SDRAM)	t _{DQMD}	2.8	15.4	ns	
CKE 遅延時間 (SDRAM)	t _{CKED}	2.8	15.4	ns	
リードデータセットアップ時間 2 (SDRAM)	t _{RDS2}	12.78	—	ns	
リードデータホールド時間 2 (SDRAM)	t _{RDH2}	3	—	ns	
ライトデータ遅延時間 2 (SDRAM)	t _{WDD2}	1.7	15.4	ns	
ライトデータホールド時間 2 (SDRAM)	t _{WDH2}	2.8	—	ns	
WE#遅延時間 (SDRAM)	t _{WED}	2.8	15.4	ns	
RAS#遅延時間 (SDRAM)	t _{RASD}	2.8	15.4	ns	
CAS#遅延時間 (SDRAM)	t _{CASD}	2.8	15.4	ns	

注⁽¹⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。

表 8 電気的特性(AC 特性)(3/13) (SYSTEM 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C)

項目	記号	min	max	単位	タイミング図 ⁽¹⁾
NMI パルス幅	t _{NMIOUT}	200	—	ns	図 17
IRQ パルス幅	t _{IRQOUT}	200	—	ns	図 18

注⁽¹⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。

表 8 電気的特性(AC 特性)(4/13) (JTAG 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽¹⁾
TCK クロック High レベルパルス幅	t _{TCKH}	45	—	ns	図 19
TCK クロック Low レベルパルス幅	t _{TCKL}	45	—	ns	
TCK クロック立ち上がり時間	t _{TCKr}	—	5	ns	
TCK クロック立ち下がり時間	t _{TCKf}	—	5	ns	
TRST#パルス幅	(t _{TRSTW})	20	—	ns	図 20
TMS セットアップ時間	t _{TMSS}	20	—	ns	図 21
TMS ホールド時間	t _{TMSH}	20	—	ns	
TDI セットアップ時間	t _{TDIS}	20	—	ns	
TDI ホールド時間	t _{TDIH}	20	—	ns	
TDO データ遅延時間	t _{TDOD}	0	40	ns	

注⁽¹⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。

表 8 電気的特性(AC 特性)(5/13) (Ethernet 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽¹⁾
ET_TXCLK サイクル時間	t_{Tcyc}	40	—	ns	図 22 ~ 図 26
ET_TXCLK ハイレベル幅	t_{TCKWH}	$0.35 \times t_{Tcyc}$	—	ns	
ET_TXCLK ローレベル幅	t_{TCKWL}	$0.35 \times t_{Tcyc}$	—	ns	
ET_TXEN 出力遅延時間	t_{TEND}	0	25	ns	
ET_TXD[3:0]出力遅延時間	t_{TDD}	0	25	ns	
ET_RXCLK サイクル時間	t_{Rcyc}	40	—	ns	
ET_RXCLK ハイレベル幅	t_{RCKWH}	$0.35 \times t_{Rcyc}$	—	ns	
ET_RXCLK ローレベル幅	t_{RCKWL}	$0.35 \times t_{Rcyc}$	—	ns	
ET_RXDV セットアップ時間	t_{RDVS}	10	—	ns	
ET_RXDV ホールド時間	t_{RDVH}	10	—	ns	
ET_RXD[3:0]セットアップ時間	t_{RDDS}	10	—	ns	
ET_RXD[3:0]ホールド時間	t_{RDDH}	10	—	ns	
ET_RXER セットアップ時間	t_{RERS}	10	—	ns	
ET_RXER ホールド時間	t_{RERH}	10	—	ns	
AVB_GPTP_EXTERN サイクル時間	t_{Gcyc}	40	—	ns	
AVB_GPTP_EXTERN ハイレベル幅	t_{GCKWH}	$0.35 \times t_{Gcyc}$	—	ns	
AVB_GPTP_EXTERN ローレベル幅	t_{GCKWL}	$0.35 \times t_{Gcyc}$	—	ns	
AVB_CAPTURE ハイレベル幅	t_{CAPWH}	$2 \times t_{Gcyc}$	—	ns	
ET_CRS セットアップ時	t_{CRSs}	10	—	ns	図 27
ET_CRS ホールド時間	t_{CRSh}	10	—	ns	
ET_COL セットアップ時間	t_{COLs}	10	—	ns	図 28
ET_COL ホールド時間	t_{COLh}	10	—	ns	

注⁽¹⁾ t_{Tcyc} 、 t_{Rcyc} 、 t_{Gcyc} のタイミングの電圧閾値は「VCCQ×0.5」とする。その他のタイミングの電圧閾値は、「 $V_{OH}=0.7 \times VCCQ$ 、 $V_{OL}=0.3 \times VCCQ$ 、
 $V_{IH}=0.7 \times VCCQ$ 、 $V_{IL}=0.3 \times VCCQ$ 」とする。

表 8 電気的特性(AC 特性)(6/13) (GPT 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
インプットキャプチャ入力パルス幅(単エッジ指定)	t _{GTICW1}	3	—	t _{PAcyc} ⁽¹⁾	図 29
インプットキャプチャ入力パルス幅(両エッジ指定)	t _{GTICW2}	5	—	t _{PAcyc} ⁽¹⁾	
外部トリガ入力パルス幅(単エッジ指定)	t _{OTETW1}	1.5	—	t _{PAcyc} ⁽¹⁾	図 30
外部トリガ入力パルス幅(両エッジ指定)	t _{OTETW2}	2.5	—	t _{PAcyc} ⁽¹⁾	

注⁽¹⁾ t_{PAcyc}: PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。

表 8 電気的特性(AC 特性)(7/13) (TMR 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
タイマクロックパルス幅 単エッジ指定	t _{TMCWH}	1.5	—	t _{PBcyc} ⁽¹⁾	図 31
タイマクロックパルス幅 両エッジ指定	t _{TMCWL}	2.5	—	t _{PBcyc} ⁽¹⁾	

注⁽¹⁾ t_{PBcyc}: PCLKB の周期注⁽²⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。

表 8 電気的特性(AC 特性)(8/13) (RSPI 機能(1/2))

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37℃～+120℃、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
RSPCK クロックサイクル (マスタ)	t _{SPCyc1}	2	4096	t _{PAcyc} ⁽¹⁾	図 32
RSPCK クロックサイクル (スレーブ)	t _{SPCyc2}	8	4096	t _{PAcyc} ⁽¹⁾	
RSPCK クロック High レベル パルス幅(マスタ)	t _{SPCKWH}	(t _{SPCyc1} -t _{SPCKr} - t _{SPCKf})/2-3	—	ns	
RSPCK クロック High レベル パルス幅(スレーブ)	t _{SPCKWH}	(t _{SPCyc2} -t _{SPCKr} - t _{SPCKf})/2	—	ns	
RSPCK クロック Low レベル パルス幅(マスタ)	t _{SPCKWL}	(t _{SPCyc1} -t _{SPCKr} - t _{SPCKf})/2-3	—	ns	
RSPCK クロック Low レベル パルス幅(スレーブ)	t _{SPCKWL}	(t _{SPCyc2} -t _{SPCKr} - t _{SPCKf})/2	—	ns	
RSPCK クロック立ち上がり/ 立下がり時間(出力) ⁽³⁾	t _{SPCKr} , t _{SPCKf}	—	5	ns	
RSPCK クロック立ち上がり/ 立下がり時間(入力)	t _{SPCKr} , t _{SPCKf}	—	1	μs	
データ入力セットアップ時間 (マスタ)	t _{SU}	6	—	ns	図 33 ～図 38
データ入力セットアップ時間 (スレーブ)	t _{SU}	8.3-t _{PAcyc} ⁽¹⁾	—	ns	
データ入力ホールド時間(マ スタ、PCLKA を 2 分周に設 定)	t _{HF}	0	—	ns	
データ入力ホールド時間(マ スタ、PCLKA を 2 分周以外 に設定)	t _H	t _{PAcyc}	—	ns	
データ入力ホールド時間 (スレーブ)	t _H	8.3+2 × t _{PAcyc} ⁽¹⁾	—	ns	
SS 入力セットアップ時間 (マスタ)	t _{LEAD}	1	8	t _{SPCyc1}	
SS 入力セットアップ時間 (スレーブ)	t _{LEAD}	4	—	t _{PAcyc} ⁽¹⁾	

注⁽¹⁾ t_{PAcyc}: PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表 8 電気的特性(AC 特性)(8/13) (RSPI 機能(2/2))

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
SS 入力ホールド時間 (マスタ)	t_{LAG}	1	8	t_{SPCyc1}	図 33 ~図 38
SS 入力ホールド時間 (スレーブ)	t_{LAG}	4	—	$t_{PAcyc}^{(1)}$	
データ出力遅延時間(マスタ)	t_{OD}	—	6.3	ns	
データ出力遅延時間 (スレーブ)	t_{OD}	—	$3 \times t_{PAcyc} + 20$	ns	
データ出力ホールド時間 (マスタ)	t_{OH}	0	—	ns	
データ出力ホールド時間 (スレーブ)	t_{OH}	0	—	ns	
連続送信遅延時間(マスタ)	t_{TD}	$t_{SPCyc1} + 2 \times t_{PAcyc}$	$8 \times t_{SPCyc1} + 2 \times t_{PAcyc}$	ns	
連続送信遅延時間(スレーブ)	t_{TD}	$4 \times t_{PAcyc}$	—	ns	
MOSI 立ち上がり時間/立ち下がり時間(マスタ) ⁽³⁾	t_{Dr}, t_{Df}	—	5	ns	
MISO 立ち上がり時間/立ち下がり時間(スレーブ)	t_{Dr}, t_{Df}	—	1	μs	
SS 入力立ち上がり/立ち下がり時間(出力) ⁽³⁾	t_{SSLr}, t_{SSLf}	—	5	ns	
SS 入力立ち上がり/立ち下がり時間(入力)	t_{SSLr}, t_{SSLf}	—	1	μs	
スレーブアクセス時間	t_{SA}	—	4	$t_{PAcyc}^{(1)}$	図 37
スレーブ出力開放時間	t_{REL}	—	3	$t_{PAcyc}^{(1)}$	図 38

注⁽¹⁾ t_{PAcyc} : PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表 8 電気的特性(AC 特性)(9/13) (簡易 SPI 機能(SCIF))

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
SCK クロックサイクル出力(マスタ)	t _{SPcyc1}	4	65536	t _{PAcyc} ⁽¹⁾	図 32
SCK クロックサイクル入力(スレーブ)	t _{SPcyc2}	6	65536	t _{PAcyc} ⁽¹⁾	
SCK クロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPcyc1} t _{SPcyc2}	
SCK クロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPcyc1} t _{SPcyc2}	
SCK クロック立ち上がり時間 ⁽³⁾	t _{SPCKr}	—	5	ns	
SCK クロック立ち下がり時間 ⁽³⁾	t _{SPCKf}	—	5	ns	
データ入力セットアップ時間(マスタ)	t _{SU}	15	—	ns	図 33 ~図 36
データ入力セットアップ時間(スレーブ)	t _{SU}	5	—	ns	
データ入力ホールド時間	t _H	5	—	ns	
SS 入力セットアップ時間	t _{LEAD}	1	—	t _{SPcyc1} t _{SPcyc2}	
SS 入力ホールド時間	t _{LAG}	1	—	t _{SPcyc1} t _{SPcyc2}	
データ出力遅延時間(マスタ)	t _{OD}	—	5	ns	
データ出力遅延時間(スレーブ)	t _{OD}	—	25	ns	
データ出力ホールド時間	t _{OH}	-5	—	ns	
データ立ち上がり時間 ⁽³⁾	t _{Dr}	—	5	ns	
データ立ち下がり時間 ⁽³⁾	t _{Df}	—	5	ns	
SS 入力立ち上がり時間 ⁽³⁾	t _{SSLr}	—	5	ns	
SS 入力立ち下がり時間 ⁽³⁾	t _{SSLf}	—	5	ns	
スレーブアクセス時間	t _{SA}	—	3 x t _{PCyc} + 25	t _{PAcyc} ⁽¹⁾	図 37
スレーブ出力開放時間	t _{REL}	—	3 x t _{PCyc} + 25	t _{PAcyc} ⁽¹⁾	図 38

注⁽¹⁾ t_{PAcyc}: PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表 8 電気的特性(AC 特性)(10/13) (簡易 SPI 機能(SCI))

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
SCK クロックサイクル出力(マスタ)	t _{SPcyc1}	4	65536	t _{PBcyc} ⁽¹⁾	図 32
SCK クロックサイクル入力(スレーブ)	t _{SPcyc2}	8	65536	t _{PBcyc} ⁽¹⁾	
SCK クロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPcyc1} t _{SPcyc2}	
SCK クロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPcyc1} t _{SPcyc2}	
SCK クロック立ち上がり時間 ⁽³⁾	t _{SPCKr}	—	20	ns	
SCK クロック立ち下がり時間 ⁽³⁾	t _{SPCKf}	—	20	ns	
データ入力セットアップ時間	t _{SU}	33.3	—	ns	図 33 ~図 36
データ入力ホールド時間	t _H	33.3	—	ns	
SS 入力セットアップ時間	t _{LEAD}	1	—	t _{SPcyc1} t _{SPcyc2}	
SS 入力ホールド時間	t _{LAG}	1	—	t _{SPcyc1} t _{SPcyc2}	
データ出力遅延時間	t _{OD}	—	33.3	ns	
データ出力ホールド時間	t _{OH}	-10	—	ns	
データ立ち上がり時間 ⁽³⁾	t _{Dr}	—	16.6	ns	
データ立ち下がり時間 ⁽³⁾	t _{Df}	—	16.6	ns	
SS 入力立ち上がり時間 ⁽³⁾	t _{SSLr}	—	16.6	ns	
SS 入力立ち下がり時間 ⁽³⁾	t _{SSLf}	—	16.6	ns	
スレーブアクセス時間	t _{SA}	—	5	t _{PBcyc} ⁽¹⁾	図 37
スレーブ出力開放時間	t _{REL}	—	5	t _{PBcyc} ⁽¹⁾	図 38

注⁽¹⁾ t_{PBcyc}: PCLKB の周期注⁽²⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表 8 電気的特性(AC 特性)(11/13) (SCIF 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
入力クロックサイクル調歩同期	t _{Scyc1}	4	—	t _{PAcyc} ⁽¹⁾	図 39
入力クロックサイクルクロック同期	t _{Scyc2}	6	—	t _{PAcyc} ⁽¹⁾	
入力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc1} t _{Scyc2}	
入力クロック立ち上がり時間	t _{SCKr}	—	5	ns	
入力クロック立ち下がり時間	t _{SCKf}	—	5	ns	
出力クロックサイクル調歩同期	t _{Scyc1}	8	—	t _{PAcyc} ⁽¹⁾	
出力クロックサイクルクロック同期	t _{Scyc2}	4	—	t _{PAcyc} ⁽¹⁾	
出力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc1} t _{Scyc2}	
出力クロック立ち上がり時間 ⁽³⁾	t _{SCKr}	—	5	ns	
出力クロック立ち下がり時間 ⁽³⁾	t _{SCKf}	—	5	ns	
送信データ遅延時間マスタ	t _{TXD1}	—	5	ns	図 40
送信データ遅延時間スレーブ	t _{TXD2}	—	25	ns	
受信データセットアップ時間マスタ	t _{rxs1}	15	—	ns	
受信データセットアップ時間スレーブ	t _{rxs2}	5	—	ns	
受信データホールド時間マスタ	t _{RXH1}	5	—	ns	
受信データホールド時間スレーブ	t _{RXH2}	5	—	ns	

注⁽¹⁾ t_{PAcyc}: PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表 8 電気的特性(AC 特性)(12/13) (SCI 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
入力クロックサイクル調歩同期	t _{Scyc1}	4	—	t _{PBcyc} ⁽¹⁾	図 41
入力クロックサイクルクロック同期	t _{Scyc2}	6	—	t _{PBcyc} ⁽¹⁾	
入力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc1} t _{Scyc2}	
入力クロック立ち上がり時間	t _{SCKr}	—	5	ns	
入力クロック立ち下がり時間	t _{SCKf}	—	5	ns	
出力クロックサイクル調歩同期	t _{Scyc1}	8	—	t _{PBcyc} ⁽¹⁾	
出力クロックサイクルクロック同期	t _{Scyc2}	4	—	t _{PBcyc} ⁽¹⁾	
出力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc1} t _{Scyc2}	
出力クロック立ち上がり時間 ⁽³⁾	t _{SCKr}	—	5	ns	
出力クロック立ち下がり時間 ⁽³⁾	t _{SCKf}	—	5	ns	
送信データ遅延時間クロック同期	t _{TXD}	—	28	ns	図 42
受信データセットアップ時間クロック同期	t _{rxs}	15	—	ns	
受信データホールド時間クロック同期	t _{RXH}	5	—	ns	

注⁽¹⁾ t_{PBcyc}: PCLKB の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表 8 電気的特性(AC 特性)(13/13) (CMTW 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
インプットキャプチャ入力 パルス幅単エッジ指定	t _{CMTWTICW1}	1.5	—	t _{PBcyc} (⁽¹⁾)	図 43
インプットキャプチャ入力 パルス幅両エッジ指定	t _{CMTWTICW2}	2.5	—	t _{PBcyc} (⁽¹⁾)	

注⁽¹⁾ t_{PBcyc}: PCLKB の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。

表 9 スクリーニング試験(1/2)

試験項目 ⁽¹⁾	試験方法 ⁽²⁾
安定化バーク ⁽³⁾	[1008] 24 時間以上、条件 C (150℃) 最低 封止作業前工程にて実施する。
温度サイクル試験	[1010] 条件 C (-65℃、+150℃各 10 分)、10 サイクル。 終止点測定、及び 検査は適用しない。
目視検査	(⁴)
粒子衝突雑音検出試験	[2020] 条件 A
放射線写真検査 ⁽⁵⁾	[2012] 1 方向 (上 : Y2) (⁸)
バーンイン前 電気的パラメータ 試験 (グループ A、サブグループ 1, 7)	(⁶) 表 15 による。
バーンイン試験	[1015] 240 時間以上、125℃最低、 試験回路は図 44 による。
バーンイン後 電気的パラメータ 試験 (グループ A、サブグループ 1, 7)	(⁶) 表 15 による。
最終電気的パラメータ試験 ⁽⁷⁾ (a) 静特性 (1) +25℃ (グループ A、サブグループ 1) (2) 最高及び最低動作温度 (グループ A、サブグループ 2, 3) (b) スイッチング試験 (1) +25℃ (グループ A、サブグループ 9) (2) 最高及び最低動作温度 (グループ A、サブグループ 10, 11) (c) 機能試験 (1) +25℃ (グループ A、サブグループ 7) (2) 最高及び最低動作温度 (グループ A、サブグループ 8)	表 15 による。
逆バイアスバーンイン試験	省略する

表 9 スクリーニング試験(2/2)

試験項目 ⁽¹⁾	試験方法 ⁽²⁾
気密性試験	[1014]
共晶はんだボール実装後電氣的パラメータ試験 (a) 静特性 (1)+25℃ (グループ A、サブグループ 1) (b) スイッチング試験 (1)+25℃ (グループ A、サブグループ 9) (c) 機能試験 (1)+25℃ (グループ A、サブグループ 7)	表 15 による。
外部目視検査	[2009]

注(1) 試験は、特に変更が許される場合を除き、ここに示された順序で実施すること。

(2) []内の4桁の数字は、MIL-STD-883の試験方法を示す。

(3) 封止直前に実施する安定化ベークの時間と、ここで規定する安定化ベークの時間との和が最小24時間となるようにすることが出来る。

(4) パッケージの破損、リッドのはがれ等について行う。

リード無しのため、JAXA-QTS-2010の表B-1の脚注(3)から“リード欠損”を削除。

(5) この検査に引き続いて適切な安定ベークを実施することができる。

(6) JAXA-QTS-2010の表B-1の脚注(6)に従ってバーンイン試験前後における電氣的パラメータの変動値を計算し、デルタ限界値以上の変動値をもつ製品は不合格としなければならない。これに不合格となったロットは、JAXA-QTS-2010のB.3.2項の規定に従って処置しなければならない。

(7) 「バーンイン後 電氣的パラメータ試験」と測定項目が同一である場合、25℃の試験「バーンイン後 電氣的パラメータ試験」と兼ねることができる。

(8) 方向の定義は、JAXA-QTS-2010のB.2.2項を適用する。

表 10 グループ A 試験⁽¹⁾

[電気的特性試験]

サブグループ ⁽²⁾ ⁽³⁾	測定条件及び許容値
サブグループ 1 静特性試験 (Tb=+25℃)	表 15 の電気的特性を満足すること。 スクリーニングの最終電気的パラメータ試験で 兼ねることとし、個別には実施しない。
サブグループ 2 静特性試験 (Tb=+120℃以上)	
サブグループ 3 静特性試験 (Tb=-37℃) 以下	
サブグループ 7 機能試験 (Tb=+25℃)	
サブグループ 8 機能試験 (Tb=+120℃以上) 機能試験 (Tb=-37℃以下)	
サブグループ 9 ⁽⁴⁾ スイッチング試験 (Tb=+25℃)	
サブグループ 10 ⁽⁵⁾ スイッチング試験 (Tb=+120℃)	
サブグループ 11 ⁽⁶⁾ スイッチング試験 (Tb=-37℃)	

注⁽¹⁾ グループ A 試験に供した試料は、グループ B～E 試験に対しても供試することができる。

⁽²⁾ 同一の試料を全てのサブグループに対して用いることができる。

⁽³⁾ 全ての測定は、接合部温度が熱平衡状態となり、周囲温度が規定の温度 110%以上の温度に達した後に実施しなければならない。

⁽⁴⁾ 本試験にサブグループ 4 動特性試験 (Tb=+25℃) を含む。

⁽⁵⁾ 本試験にサブグループ 5 動特性試験 (Tb=+120) を含む。

⁽⁶⁾ 本試験にサブグループ 6 動特性試験 (Tb=-37℃) を含む。

表 11 グループ B 試験

サブグループ	試験方法 (¹)	試験条件	サンプル数 (合格判定個数)	
			開発 確認 試験	品質確認 試験
サブグループ 1 (²)				
a) 外形寸法検査	2016	検査要求を表 18 に示す。 +100℃、5, 000ppm 以下	3 (0)	3 (0)
b) 内部水蒸気量検査	1018		3 (0)	3 (0)
サブグループ 2 (³)				
(a) 耐溶剤性試験	2015	条件 C 又は D	3 (0)	—
(b) 内部目視及び機械的 検査	2013 及び 2014		2 (0)	2 (0)
(c) ボンド強度試験 (⁴)	2011		2 (0)	2 (0)
(d) ダイ剥離試験	2019		3 (0)	3 (0)
(e) グラシベーション層 評価試験	省略する		—	—
サブグループ 3 (²) (⁷)				
放射線写真検査	(¹⁰)	接合部ポイド率 25%以下	3 (0) (¹⁰)	3 (0) (¹⁰)
はんだ付性試験	(⁵)		3 (0) (⁸)	3 (0) (⁸)
サブグループ 4 (²)				
(a) リード強度試験	(⁶)	省略する	2 (0) (⁹)	2 (0) (⁹)
(b) 気密性試験	省略する		—	—
1) 微小 2) グロス				

注 (¹) MIL-STD-883 の試験方法番号を示す。

(²) 同一検査ロットの電氣的不良品を使用することができる。

(³) グループ試験のサブグループ 2 を実施した場合には、耐溶剤性試験を除き、グループ C 試験のサブグループ 2 に供した試料を使用しなければならない。

(⁴) すべてのボンドを引っ張らなければならない。

(⁵) セラミック基板を使用し、リフロー加熱によるはんだ濡れ性試験を実施する。

プリコンディショニング条件は、J-STD-002E 表 3-3 Condition Category E
「155°C Dry Bake 4H」とする。

- (⁶) MIL-STD-883L 2004 は BGA 非対応のため、下記代替手段にて試験を実施する。
- ・ハンダボールプル試験：JESD22-B115A(プル強度の要求は下記の通り)
 - ・ 共晶はんだボール 40.0MPa 以上
 - ・ 高温はんだボール 19.7MPa 以上
- (⁷) 電氣的不良品を使用する場合は、試験に先立って良品がスクリーニングで受ける熱的試験(安定化ベーク、温度サイクル試験及びバーンイン試験)と同一の熱的条件にさらさなければならない。
- (⁸) 試料の大きさは3個とし、各ボールの個数で LTPD 15(15(0))とする。
- (⁹) 各ボールの総数で LTPD 5(45(0))とする。ボールは各試料から同数等となるように選択すること。
- (¹⁰) はんだボール接合部に対するボイドの検査を実施する。検査対象は全ボールとする。また、クライテリアはボイド率 25%以下(JREG-0-54 適用)とする。

表 12 グループ C 試験

[ダイ関連試験]

サブグループ	試験方法 (¹)	試験条件	サンプル数 (合格判定個数)		
			開発 確認 試験	品質確認試験 (⁵)	
				条件 1	条件 2
サブグループ 1					
a) プリコンディショニング	—	JERG-0-043, 図 5-4 および表 5-3 に示す条件で部品を加熱する。加熱回数は 2 回とする。	LTPD 5	LTPD 10	—
b) 定常動作寿命試験	1005	1000 時間、+125℃ 試験回路は図 44 による。	LTPD 5	LTPD 10	—
c) 終止点電氣的 パラメータ試験		グループ A、サブグループ 1, 2, 3, 7, 8, 9, 10, 11	LTPD 5	LTPD 10	—
d) ボンド強度試験 (⁴)	2011	条件 C 又は D	2 (0)	2 (0)	—
サブグループ 2					
a) 温度サイクル	1010	条件 C (-65℃、+150℃各 10 分), 100 サイクル			
b) 定加速度試験	2001	条件 A、Y1 方向 (³)			
c) 気密性試験	1014		12 (0)	5 (0)	—
1) ファイン					
2) グロス					
d) 終止点電氣的 パラメータ試験		グループ A、サブグループ 1, 2, 3			
サブグループ 3					
(a) 静電気破壊試験	3015	ピンの組み合わせは 表 16 による。	3 (0) (²)	—	—
(b) 終止点電氣的 パラメータ試験		グループ A、サブグループ 1			

注 (¹) MIL-STD-883 の試験方法番号を示す。(²) 試料の大きさは、同一ピンの組み合わせごとに適用する。(³) 方向の定義は、JAXA-QTS-2010 の C.2.2 項を適用する。(⁴) すべてのボンドを引っ張らなければならない。

(⁵) 品質確認試験におけるサンプル数の条件を以下に示す。

- ・条件 1 条件 2 以外の場合、JAXA-QTS-2010 の G. 4. 7. 1 項 (表 G-1) を適用する。
- ・条件 2 検査ロットの IC と同一のウェハロットを用いた IC について開発確認試験、又は品質確認試験が実施され、その試験に合格していた場合、JAXA-QTS-2010 の G. 4. 7. 1. 1 項 b) を適用し省略する。

表 13 グループ D 試験(1/2)

[パッケージ関連試験]

サブグループ	試験方法 (¹)	試験条件	サンプル数 (合格判定個数)		
			開発 確認 試験	品質確認 試験 (⁶)	
				条件 1	条件 2
サブグループ 1					
(a) 熱衝撃試験	1011	条件 B (−55℃、+125℃各 5 分)、 15 サイクル	LPTD 15	5 (0)	—
(b) 温度サイクル試験	1010	条件 C (−65℃、+150℃各 10 分)、 100 サイクル			
(c) 耐湿性試験	1004	10 サイクル			
(d) 気密性試験	1014				
(1) ファイン (2) グロス					
(e) 目視検査		1004、1010 及び 1011 の基準による。			
(f) 終止点電氣的 パラメータ試験		グループ A、サブグループ 1			
サブグループ 2 (²)					
(a) 衝撃試験	2002	条件 B (1, 500g、0. 5ms、5 回)、 6 方向 (X1、X2、Y1、Y2、Z1、Z2) (⁵)	LPTD 15	5 (0)	—
(b) 振動試験	2007	条件 A (20g、4 分/回、4 回/方向、 3 方向 (X、Y、Z) (⁵)			
(c) 気密性試験	1014				
(1) ファイン (2) グロス					
(d) 目視検査		2002、2007 の基準による。			
(e) 終止点電氣的 パラメータ試験 (³)		グループ A、サブグループ 1			
(f) 内部目視 (⁷) (⁸) または 放射線写真検査 (⁷)	2013 2012	検査対象はワイヤ外観の異常確認のみとする。放射線写真検査にて確認可能な場合は、内部目視の代用とすることができる。	2 (0)	—	—
サブグループ 3 (削除)	—	—	—	—	—

表 13 グループ D 試験 (2/2)

[パッケージ関連試験]

サブグループ	試験方法 (¹)	試験条件	サンプル数 (合格判定個数)		
			開発 確認 試験	品質確認 試験 (⁶)	
				条件 1	条件 2
サブグループ 3 (削除)	—	—	—	—	—
サブグループ 4 (¹⁰)					
a) 短絡確認試験 (⁷) (⁹)					
1) 衝撃試験中の短絡	2002	条件 B	1 (0)	—	—
2) 振動試験中の短絡	2007	条件 A	1 (0)	—	—

注 (¹) MIL-STD-883 の試験方法番号を示す。

(²) サブグループ 1 に供した製品を使用することができる。

(³) (b) 振動試験に引き続いて実施することができる。

(⁵) 方向の定義は、JAXA-QTS-2010 の G. 2. 2 項を適用する。

(⁶) 品質確認試験におけるサンプル数の条件を以下に示す。

- ・ 条件 1 条件 2 以外の場合、JAXA-QTS-2010 の G. 4. 7. 1 項 (表 G-2) を適用する。
- ・ 条件 2 現検査ロットに対するスクリーニングの完了日から過去 1 年以内に、同一集積回路グループについてグループ D 試験が開始され、その試験に合格していた場合、JAXA-QTS-2010 の G. 4. 7. 1. 1 項 c) を適用し省略する。

(⁷) ワイヤボンディング実装で、ワイヤ材料が金である場合に実施すること。

(⁸) 試験に先立ち、試料を損傷および汚染しない方法で開封すること。

(⁹) 3. 3. 6 項に示す内部リードワイヤの設計及び構造上、衝撃及び振動で、異なる内部リードワイヤ同士が接触し電氣的に短絡しないことを確認済みの場合は、試験を省略できる。

(¹⁰) サブグループ 2 に供した試料を使用することができる。また、同一検査ロットの電氣的不良品や新たに抜き取った試料を供してもよい。ただし、当該試験に支障をきたさない電氣的不良品であること。なお、電氣的不良品を使用する場合は、試験に先立って良品がスクリーニングで受ける熱的試験 (安定化バーク、温度サイクル試験及びバーンイン試験) と同一の熱的条件に晒さなければならない。

表 14 グループ E 試験

[耐放射線性試験]

サブグループ	試験方法 (¹)	試験条件	サンプル数 (合格判定個数)		
			開発 確認 試験	品質確認試験 (⁷)	
				条件 1	条件 2
サブグループ 1 (a) 定常状態放射線量試験 (b) 終止点電氣的 パラメータ試験	1019	- 放射線源 (⁶⁰Co ガンマ線、 均一性±10%、精度±5%) - 試験回路は図 45 による。 - 放射線照射中の端子処置は表 8 「グループ E サブ 1 端子処置」による。 グループ A、サブグループ 1, 7, 9 (⁴) (⁵)	5 (0) (²) (³)	5 (0) (²) (³)	—
サブグループ 2 (a) シングルイベント試験 (b) 終止点電氣的 パラメータ試験		- 試験条件は表 17 による。 - 試験回路は図 46 による。 グループ A、サブグループ 1, 7, 9 (⁵)	4 (0) (⁶)	4 (0) (⁶)	—

注 (¹) MIL-STD-883 の試験方法番号を示す。

(²) 検査サブロットごとに実施する。ただし、単一のウェハロットから複数の検査サブロットが構成されている場合は、1つの検査サブロットで代表することができる。

(³) 耐放射線性保証水準ごとに適用する。

(⁴) 放射線照射場所における照射試験後の電氣的パラメータ試験及び移動中のバイアス印加は、要求しない。照射後の電氣的パラメータ試験は、48 時間以内に実施しなければならない。

また、アニール後の電氣的パラメータ試験は、照射終了時から 168 ± 12 時間に実施しなければならない。照射終了からアニール後の電氣的パラメータ試験までの保管条件は、バイアス印加あり（端子処置は照射時と同じ）、 $+24 \pm 6^\circ\text{C}$ とする。

- (⁵) 照射前の電氣的パラメータ試験は、終止点電氣的パラメータ試験と同じ内容を実施する。
- (⁶) シングルイベント試験が複数の種類になる場合、種類ごとに試料の大きさ（合格判定個数）は4(0)とする。
- (⁷) 品質確認試験におけるサンプル数の条件を以下に示す。
- ・条件1 条件2以外の場合、JAXA-QTS-2010の表C-5を適用する。
 - ・条件2 検査ロットのICと同一のウェハロットを用いたICについて開発確認試験、又は、品質確認試験が実施され、その試験に合格していた場合、JAXA-QTS-2010のG.4.7.1.1項d)を適用し省略する。

表 15 グループ A 試験項目 (1/4)

記号	測定条件										許容値						単位
	VDD	VDDPLL	VCCQ	VBP	VBN	VSSPLL	VSS/VSSQ	入力ピン	出力ピン	測定ピン	サブグループ1 (Tb=+25℃)		サブグループ2 (Tb=+120℃)		サブグループ3 (Tb=-37℃)		
											最小	最大	最小	最大	最小	最大	
OPEN	0.0V	0.0V	0.0V	0.0V	0.0V	0.0V	0.0V	0.0V	0.0V	-600 μ A 600 μ A	-1 0.4	-0.4 1	-1 0.4	-0.4 1	-1 0.4	-0.4 1	V
	コンタクトチェック(計測対象以外のピンはLow)																
SHORT	0.0V	0.0V	0.0V	0.0V	0.0V	0.0V	0.0V	Hi-Z	Hi-Z	-600 μ A 600 μ A	-1 0.4	-0.4 1	-1 0.4	-0.4 1	-1 0.4	-0.4 1	V
	コンタクトチェック(計測対象以外のピンはOpen)																
VBP Bias	1.2V	1.2V	0.0V	0.6V	0.0V	0.0V	0.0V	0.0V	0.0V	0.6V	-100	100	-100	100	-100	100	μ A
	VDD-VBP間の消費電流を測定する。																
VBN Bias	1.2V	1.2V	0.0V	VDD	0.6V	0.0V	0.0V	0.0V	0.0V	0.6V	-100	100	-100	100	-100	100	μ A
	VSS-VBN間の消費電流を測定する。																
IDDcore_NOP	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	-	828 991	-	828 991	-	828 991	mA
	CPUがNOPコマンドを連続実行している状態でのコアの消費電流を計測する。																
IDDcore_Function	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	-	859 1030	-	859 1030	-	859 1030	mA
	CPUが外部クロックにて動作している状態でのコアの消費電流を計測する。																
IDDcore_PLL(1CPU)	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	-	1003	-	1003	-	1003	mA
	1.11V		3.0V								-	937	-	937	-	937	
	1.29V		3.6V									-	1141	-	1141	-	
CPUがPLLクロックにて動作している状態でのコアの消費電流を計測する。																	
IDDcore_PLL(2CPU)	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	-	1094	-	1094	-	1094	mA
	1.11V		3.0V								-	994	-	994	-	994	
	1.29V		3.6V									-	1213	-	1213	-	
CPUがPLLクロックにて動作している状態でのコアの消費電流を計測する。																	
IDDIO	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	-	71 96	-	71 96	-	71 96	mA
	CPUが外部クロックにて動作している状態でのI/Oの消費電流を計測する。																
IDDIO_PLL	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	-	51 69	-	51 69	-	51 69	mA
	CPUがPLLクロックにて動作している状態でのI/Oの消費電流を計測する。																

表 15 グループ A 試験項目 (2/4)

記号	測定条件										許容値						単位	
	VDD	VDDPLL	VCCQ	VBP	VBN	VSSPLL	VSS/VSSQ	入力ピン	出力ピン	測定ピン	サブグループ1 (Tb=+25℃)		サブグループ2 (Tb=+120℃)		サブグループ3 (Tb=-37℃)			
											最小	最大	最小	最大	最小	最大		
IIL	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	1.0V/VCCQ	open	0.0V		-0.6	0.6	-0.6	0.6	-0.6	0.6	μA
	入力端子に電圧印加し、Trのゲートリークを確認する。																	
IIH	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/1.0V	open	3.3V 2.97V 3.6V		-0.6	0.6	-0.6	0.6	-0.6	0.6	μA
	入力端子に電圧印加し、Trのゲートリークを確認する。																	
IOZL	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V			0.0V		-0.6	0.6	-0.6	0.6	-0.6	0.6	μA
	出力端子に電圧印加し、Trのゲートリークを確認する。																	
VIL	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.2×VCCQ /VCCQ	0～VCCQ	0.2×VCCQ		-	-	-	-	-	-	-
	入力端子に電圧印加し、閾値を確認する。																	
VIH	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V /0.7×VCCQ	0～VCCQ	0.7×VCCQ		-	-	-	-	-	-	-
	入力端子に電圧印加し、閾値を確認する。																	
VOL	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	4mA/8mA		-	0.4	-	0.4	-	0.4	V
	出力端子に電流印加し、端子電圧を確認する。																	
VOH	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	4mA/8mA	VCCQ×0.8	-	VCCQ×0.8	-	VCCQ×0.8	-	V	
	出力端子に電流印加し、端子電圧を確認する。																	

表 15 グループ A 試験項目 (3/4)

記号	測定条件										許容値						単位
	VDD	VDDPLL	VCCQ	VBP	VBN	VSSPLL	VSS/VSSQ	入力ピン	出力ピン	測定ピン	サブグループ1 (Tb=+25℃)		サブグループ2 (Tb=+120℃)		サブグループ3 (Tb=-37℃)		
											最小	最大	最小	最大	最小	最大	
TIS	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	各AC特性値を満たすこと						-
	AC特性(入力セットアップ)を測定する。																
TIH	- 1.11V 1.29V	VDD	- 3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	各AC特性値を満たすこと						-
	AC特性(入力ホールド)を測定する。																
TO	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	-	-	各AC特性値を満たすこと						-
	AC特性(出力遅延)を測定する。																
PLL_TMR	1.2V 1.11V 1.29V	VDD	3.3V 3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0~VCCQ	-	端子設定通りの周波数であること						-
	PLLクロック周波数(TMRモード)を計測する。																
PLL_DMR	1.2V 1.11V 1.29V	VDD	3.3V 3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0~VCCQ	-	端子設定通りの周波数であること						-
	PLLクロック周波数(DMRモード)を計測する。																
PLL_SINGLE	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0~VCCQ	-	クロック波形が出力されずL固定になること						-
	PLLクロック周波数(SINGLEモード)を計測する。																
OCVTEG	1.11V 1.29V	VDD	3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0~VCCQ	-	発振波形であること						-
	リングオシレータ出力を確認する。																
Function	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0~VCCQ	-	テストパターン(期待値)と一致すること						-
	ファンクションテストを実施する。(外部クロック動作)																
Function _PLL	1.2V 1.11V 1.29V	VDD	3.3V 3.0V 3.6V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0~VCCQ	-	テストパターン(期待値)と一致すること						-
	ファンクションテストを実施する。(PLLクロック動作)																

表 15 グループ A 試験項目 (4/4)

記号	測定条件										許容値						単位
	VDD	VDDPLL	VCCQ	VBP	VBN	VSSPLL	VSS/VSSQ	入力ピン	出力ピン	測定ピン	サブグループ1 (Tb=+25℃)		サブグループ2 (Tb=+120℃)		サブグループ3 (Tb=-37℃)		
											最小	最大	最小	最大	最小	最大	
MEMORY _BIST _FUNCTION	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0～VCCQ	-	テストパターン(期待値)と一致すること						-
	1.11V		3.0V														
	1.29V		3.6V														
SRAM BIST試験をファンクションにて実施する。																	
MEMORY _BIST _VDR	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0～VCCQ	-	-	0.81	-	0.81	-	0.81	V
	VDR計測を行う。																
SCAN	1.11V	VDD	3.0V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0～VCCQ	-	テストパターン(期待値)と一致すること						-
	1.29V		3.6V														
	スキャンテストを実施する。(Stuck-at試験(Rate=10MHz))																
SCAN _POWER	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0～VCCQ	-	-	417	-	972	-	972	mA
	1.11V		3.0V								-	888	-	888	-	888	
	1.29V		3.6V								-	1044	-	1190	-	1044	
スキャンテスト時の消費電流を計測する。(Stuck-at試験(Rate=10MHz))																	
SCAN _OCC	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0～VCCQ	-	190 (1)	-	-	-	-	-	MHz
	1.11V		3.0V								-	-	160 (2)	-	-		
	スキャンテストを実施する。(At-speed試験(Rate=190MHz))																
IDDq	1.2V	VDD	3.3V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0～VCCQ	-	-	758	-	758	-	758	mA
	1.11V		3.0V								-	698	-	698	-	698	
	1.29V		3.6V								-	10	-	-	-	10	
静止状態での消費電流を測定する。ただし、1.29V/3.6Vの条件では90回計測を行ったときの(最大-最小)の差で良否を判定する。																	
SRAM_Vmin	サーチ	VDD	1.7V	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0～VCCQ	-	1.054	-	1.054	-	1.054	-	V
											グループCサブグループ3を実施したサンプルは1.11Vまで許容する。						
	SRAMが動作する最低のVDD電圧をサーチする。																
Level Shifter	サーチ	VDD	3.6	VDD	0.0V	0.0V	0.0V	0.0V/VCCQ	0～VCCQ	-	テストパターン(期待値)と一致すること						-
	VCCQが3.6Vの場合にIOセル内のLevel Shifterが動作する最低のVDDをサーチする。																

注⁽¹⁾ 190MHz(1.20V/ 25℃)を保证するためのSCAN_OCC試験の良否判定閾値は228.1 MHzとする(ファーストパスが190MHzで動作する場合、SCAN_OCCの試験パスは228.1 MHzで動作する)。

注⁽²⁾ 160MHz(1.11V/125℃)を保证するためのSCAN_OCC試験の良否判定閾値は185.4MHzとする(ファーストパスが160MHzで動作する場合、SCAN_OCCの試験パスは185.4MHzで動作する)。

表 16 グループ C サブグループ 3 静電気破壊試験 ピンの組み合わせ

No	基準端子 ⁽¹⁾	印加電圧	印加回数
1	A5,A6,A9,A10,A13,A14,A17,A19,A21,D1, E24,F1,H1,H11,H13,H15,J8,J10,J12,J14, J16,J24,K9,K17,K24,L1,L16,M1,M9,M17, N8,N16,N24,P9,P17,P24,R1,R8,R16,T1, T9,T11,T13,T15,U12,U14,U16,U24,W1, W24,Y1,AA24,AD4,AD6,AD8,AD11,AD12, AD15,AD16,AD19,AD20	±2000V	(正極 3 回+負極 3 回) /ピン
2	A4,A8,A11,A16,A20,D11,D15,D19,D24,E1, F4,F9,F13,F17,H6,H19,H24,J1,K3,K22,L8, L24,M6,M19,P1,P21,R3,T6,T19,T24,U1, U10,U22,W8,W12,W16,Y24,AA1,AA6,AA10, AA14,AD5,AD9,AD14,AD17,AD21		
3	H10,H12,H14,L17,N17,P8,R17,U13		
4	A7,A12,A15,A18,C3,C22,D10,D14,D18,F8,F12, F16,G1,G4,G24,J6,J9,J11,J13,J15,J17,J19,K1, K16,L3,L9,L22,M8,M16,M24,N1,N6,N9,N19,P3, P16,R9,R21,R24,T10,T12,T14,T16,U6,U11,U15, U19,V1,V22,V24,W9,W13,W17,AA7,AA11,AA15, AB3,AB22,AD7,AD10,AD13,AD18		
5	Pin to Pin 方式		

注⁽¹⁾ 表 6 の CBGA Pin No. にて端子情報を示す。

表 17 グループ E サブグループ 2 シングルイベント試験 試験条件

No.	項目名	供試体条件				照射条件				LET 条件数		備考
		動作条件	電源電圧	ホート 表面 温度	供試体 数量 ^(*)	LET 値 ^(*)	照射 角度 ^(*)	フラックス [ions/cm ² /s] ^(*)	フルエンス [ions/cm ²]	開発 確認 試験	品質 確認 試験	
1	SEU① (スクラビング なし)	ローカル RAM、コード用 RAM および共有メモリに 対して、スクラビング機能を使 用しない動作とする。	VCCQ= 3.3 V ^(*) VDD= 1.2 V ^(*)	室温	4 個	4~68	0°	1×10 ⁴	1×10 ⁶ 以上	5	1	
						1 以下	0°	2×10 ⁵	2×10 ⁷ 以上	1	1	
2	SEU② (スクラビング あり)	コード用 RAM および共有メ モリに対して、スクラビング 機能を使用する動作とする。	VCCQ= 3.3 V ^(*) VDD = 1.2 V ^(*)	室温	4 個	4~68	0°	1×10 ⁴	1×10 ⁶ 以上	1	1	
3	SEU③ (ロジック部)	ロジック部に対して、ソート 演算を実施する動作とする。	VCCQ= 3.3 V ^(*) VDD = 1.2 V ^(*)	室温	4 個	4~68	0°	1×10 ⁵	1×10 ⁷ 以上	5	1	(*)5)
4	SEL	SEU① (スクラビングなし) と同じ動作状態とする。	VCCQ= 3.6 V ^(*) VDD = 1.3 V ^(*)	+120	4 個	75 以上	0°	1×10 ⁶	1×10 ⁸ 以上	1	1	

(*)1 SEU①、SEU②、SEU③ならびに SEL の供試体は、互いに共有してよいものとする。

(*)2 LET 値の単位は MeV/(mg/cm²) であり、本書において以下同様とする。

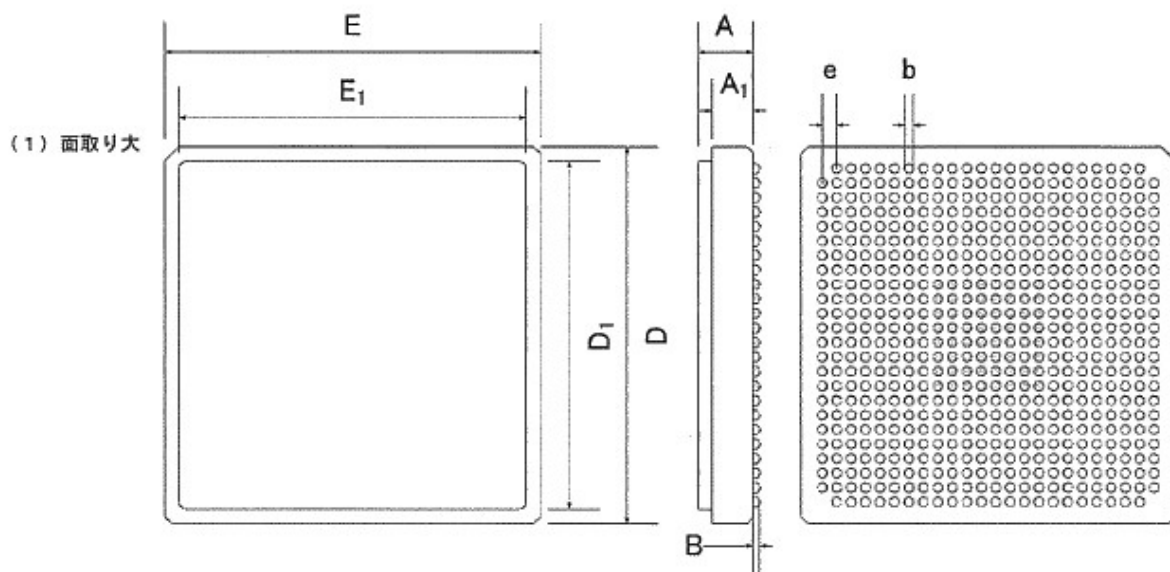
(*)3 供試体の半導体チップ面に垂直な方向と平行で、かつ半導体チップ表面側から供試体に向かってビームが入射するケースを照射角度 0° とする。

(*)4 ここに記載したフラックスは目安の値であり、実際の試験では、試験施設から提供されるビームの状態等を踏まえて適切なフラックスに調整する。

(*)5 照射中にエラーが発生した場合、既定のフルエンスに達するまで試験を繰り返し実施する。

(*)6 試験時の電源電圧設定値。

表 18 グループ B サブグループ 1 外形寸法検査 検査要求



※1 パッケージ材質 : セラミック、Fe-Ni-Co 合金

※2 はんだ端子材質 : Sn10/Pb90 (中央 8×8 端子)、Sn63/Pb37 (外周端子)

※3 捺印は実施しない

単位 mm

記 号	寸 法		注
	最 小	最 大	
A	3.45	4.15	
A ₁	2.55	3.15	
B	0.40	0.60	
b	0.60	0.80	(2)
D	25.80	26.20	
D ₁	24.00	24.40	(3)
E	25.80	26.20	
E ₁	24.00	24.40	(3)
e	1.00 標準		(2)

(1) 指 標

(2) すべての端子に適用

(3) リッドのずれ、

シームリングのロウ付け等を含む。

計測数要求

B: 共晶はんだボール部 3 か所、高温はんだボール部 3 か所、計 6 か所
 b: 共晶はんだボール部 3 か所、高温はんだボール部 3 か所、計 6 か所
 e: 共晶はんだボール部 3 か所、高温はんだボール部 3 か所、計 6 か所

表 19 スクリーニング試験 デルタ判定項目(1/2)

No	テスト項目		判定 対象(※1)	判定値	試験内容
	中区分	小区分			
1	導通 テスト	OPEN	—	—	I0 セルの対 VDD, 対 VSS の保護ダイオードが接続されているかの確認を行う。
2		OPEN	—	—	隣り合う I0 セル間でショートしていないかの確認を行う。
3		VBP Bias	—	—	Tr のソース、ドレインと NWEELL が短絡していないかの確認を行う。
4		VBN Bias	—	—	Tr のソース、ドレインと PWEELL が短絡していないかの確認を行う。
5	DC テスト	IDDcore	○	※2	入力端子を固定した状態 (EXT_CLK=100MHz で PLL 停止) で VDDcore の消費電流値を測定する。
6		IDDcore (PLL)	○	※2	入力端子を固定した状態 (EXT_CLK=20MHz で PLL 動作(160MHz)) で VDDcore の消費電流値を測定する。
7		IDDIO	○	※2	入力端子を固定した状態 (EXT_CLK=100MHz で PLL 停止) で VDDIO の消費電流値を測定する。
8		IDDIO (PLL)	○	※2	入力端子を固定した状態 (EXT_CLK=20MHz で PLL 動作(160MHz)) で VDDIO の消費電流値を測定する。
9	DC テスト	IIL	○	※2	入力端子に 0V を印加時のコア Tr のゲートリークを確認する。
10		IIH	○	※2	入力端子に VDDIOV を印加時のコア Tr のゲートリークを確認する。
11		IOZL	○	※2	出力端子を Hi-Z 出力状態とし、0V 印加時の出力段 Tr のゲートリークを確認する。
15	DC テスト	VIL	○	※2	入力端子から Lo=0.8V でパターンを入力し、機能動作することを確認する。(TTL)
16		VIH	○	※2	入力端子に Hi=2.0V でパターンを入力し、機能動作することを確認する。(TTL)
17	DC テスト	VOL	○	※2	出力端子に 0V を出力状態とし、I0 電流を流し込んだ状態で、出力端子電圧が 0.4V 以下であることを確認する。(TTL)
18		VOH	○	※2	出力端子に VDDIO V を出力状態とし、I0 電流を引き込んだ状態で、出力端子電圧が 2.4V 以下であることを確認する。(TTL)

表 19 スクリーニング試験 デルタ判定項目(2/2)

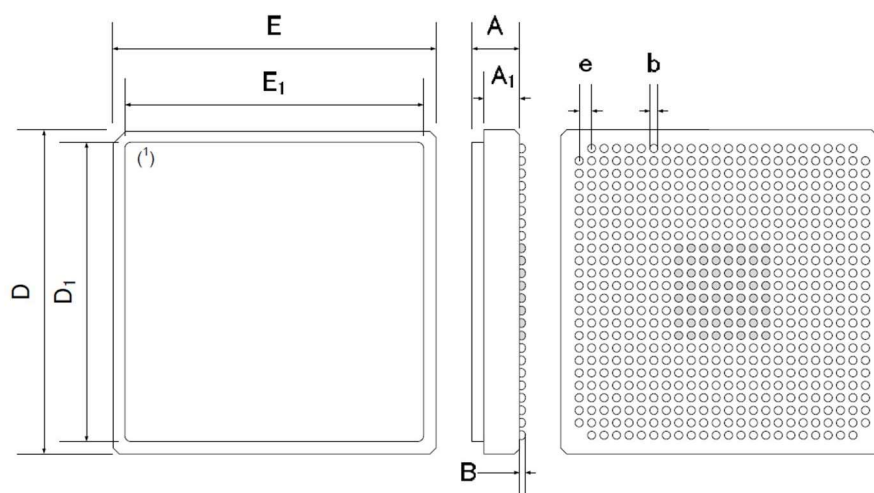
No	テスト項目		判定 対象 (※1)	判定値	試験内容
	中区分	小区分			
19	AC	TIS	○	※2	入力端子のセットアップ時間を確認する。
20	テスト	TIH	○	※2	入力端子のホールド時間を確認する。
21	AC テスト	T0	○	※2	出力端子の出力遅延時間を確認する。
22		PLL 出力 (TMR)	○	※2	PLL を TMR モードとして、安定した周波数が出力されることを確認する。(80MHz)
24		PLL 出力 (DMR)	○	※2	PLL を DMR モードとして、安定した周波数が出力されることを確認する。(80MHz)
26		PLL 出力 (SINGLE)	—	—	PLL を SINGLE モードとして、出力されないことを確認する。
27	ファンク ション テスト	Loose Function Test	—	—	代表的な動作パターンを用いて、低い周波数で ASIC 動作を確認する。
28	構造 テスト	MEMORY BIST	—	—	高密度 SRAM、ロジックル SRAM に対し、マーチパターンでの動作確認を行う。
29	構造 テスト	MEMORY BIST	—	—	高密度 SRAM、ロジックル SRAM に対し、VDR 計測を行う。
30		SCAN	○ (※3)	※2	SCAN パターンを用いた構造試験を行う。想定する故障モードは縮退故障(stuck-at)、短絡故障(short/bridge)、解放故障(open)。
31		SCAN (OCC)	—	—	SCAN パターンを用いた速度試験を行う。Setup/hold のマージンが少ない FF を対象とする。
32		IDDq	○	※2	SCAN パターンを用いた電流試験を行う。想定故障モードは配線間の短絡故障(short/bridge)。

※1 【凡例】○：判定する、—：判定しない。

※2 最大許容値の 0.4 倍とする。

※3 判定対象は消費電流のみ。

■ ケース外形



- ・パッケージ材質：セラミック、Fe-Ni-Co 合金
- ・はんだ端子材質：Sn10/Pb90 (中央 8×8 ボール)、Sn63/Pb37 (外周ボール)

単位：mm

記号	寸法		注
	最小	最大	
A	3.45	4.15	
A ₁	2.55	3.15	
B	0.40	0.60	
b	0.60	0.80	(²)
D	25.80	26.20	
D ₁	24.00	24.40	(³)
E	25.80	26.20	
E ₁	24.00	24.40	(³)
e	1.00 標準		(²)

注 (¹) 指標領域

注 (²) すべての端子に適用

注 (³) リッドのずれ、封止時のろうのはみ出し等を含む。

■ 質量

質量(参考値)：7.6g ～ 12.0g (Typ. 9.7g) (¹)

注 (¹) セラミックパッケージ等の質量バラツキを元に算出した設計値。

なお、組立 3 ロットの質量バラツキ (実績) は、9.5g ～ 9.8g。

■ 基板パッドサイズ (参考値)

はんだ端子材質に寄らず 0.7mmΦ。

図 1 ケース外形・質量

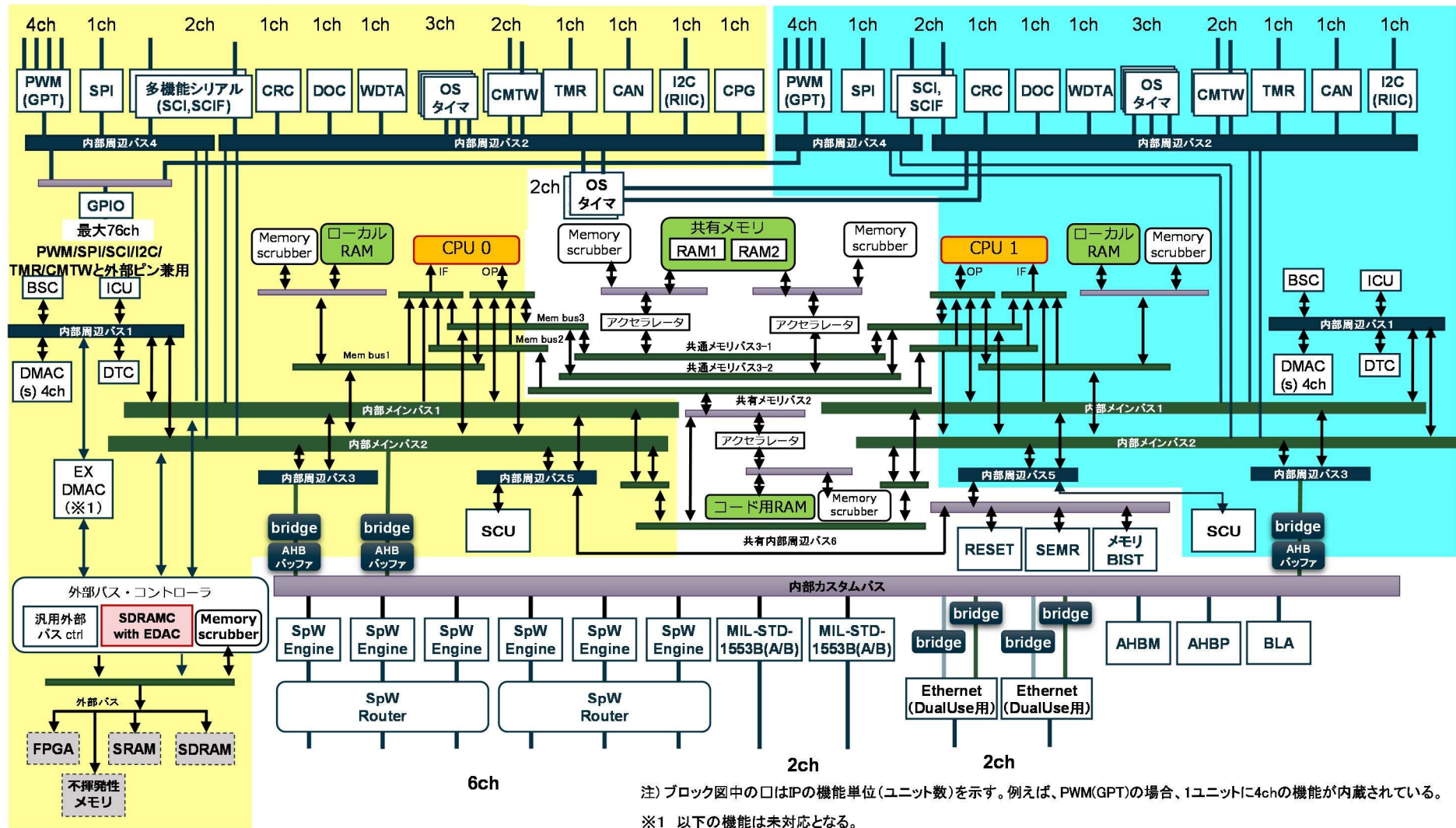
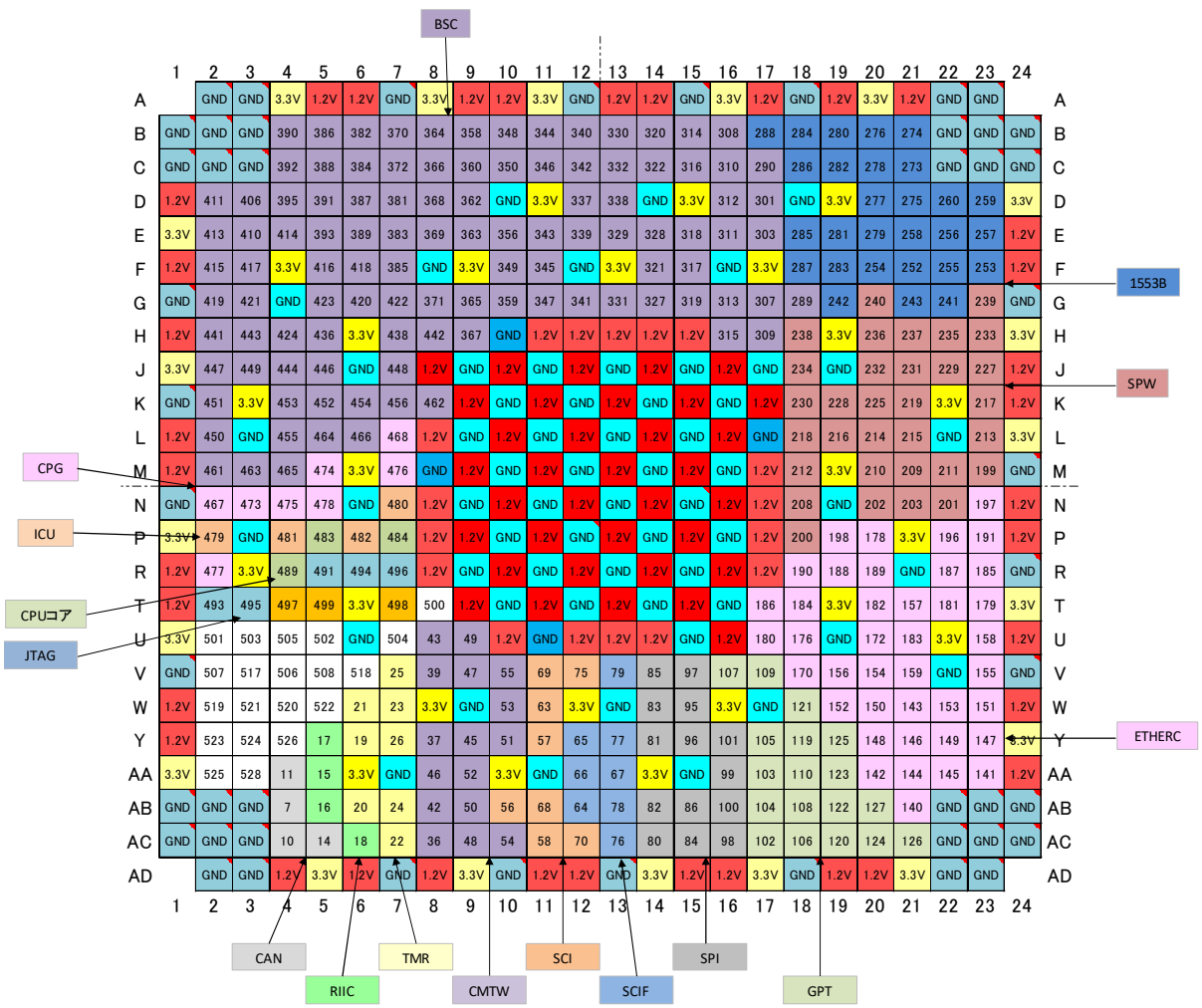
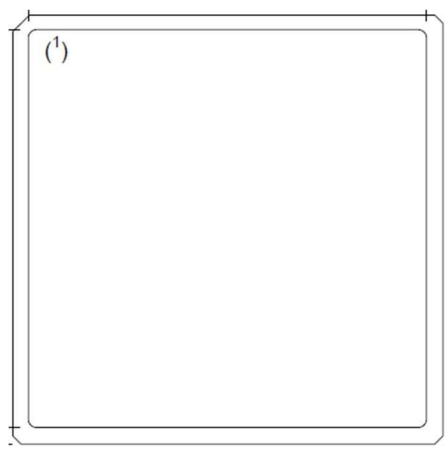


図 2 システムブロック図



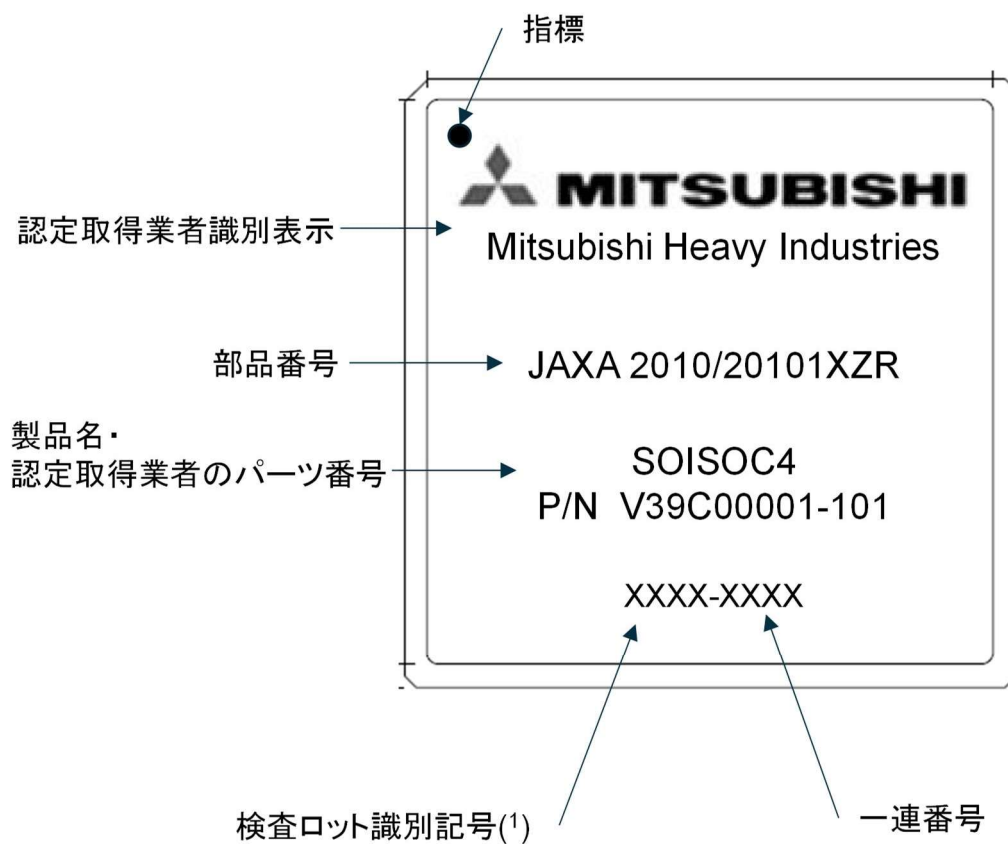
<TOP VIEW>

【CBGA パッケージ外観との対応<TOP VIEW>】



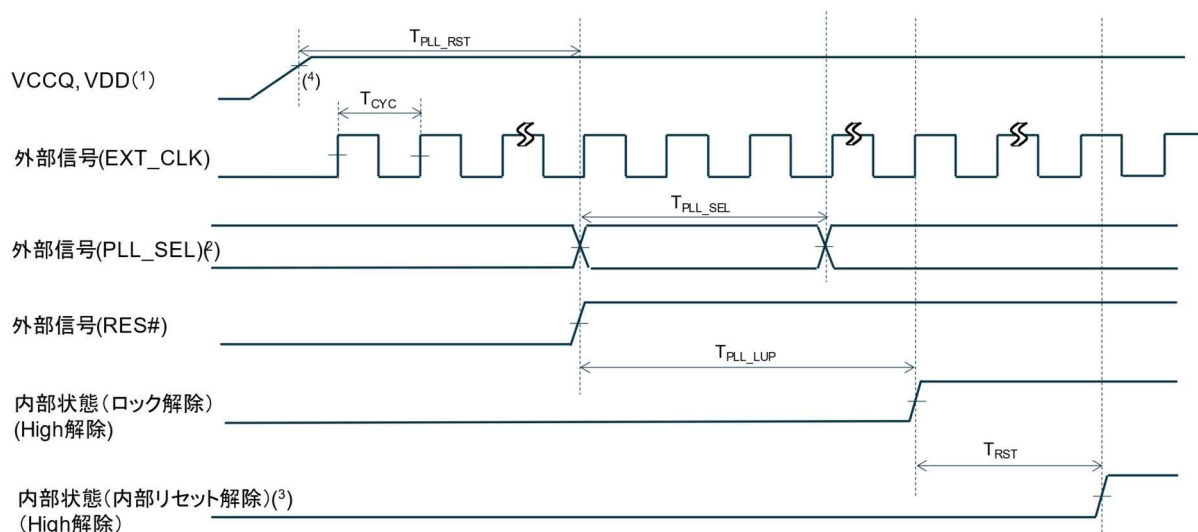
注(1) 切欠き位置は左上

図 3 端子配置図 (CBGA パッケージ)



注⁽¹⁾ 組立を開始した西暦の下2桁と月2桁の計4桁の数字を印字する。
例えば、2023年6月製造の場合、「2306」と印字する。

図 4 表示内容



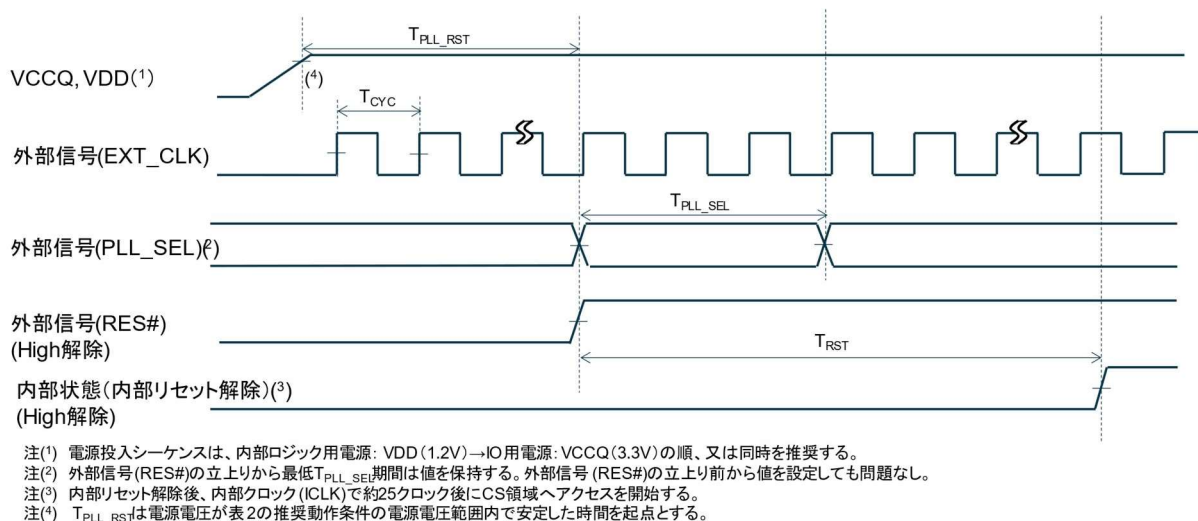
注(1) 電源投入シーケンスは、内部ロジック用電源: VDD (1.2V) → IO用電源: VCCQ (3.3V) の順、又は同時に推奨する。

注(2) 外部信号(RES#)の立上りから最低 T_{PLL_SEL} 期間は値を保持する。外部信号(RES#)の立上り前から値を設定しても問題なし。

注(3) 内部リセット解除後、内部クロック(ICLK)で約25クロック後にCS領域へアクセスを開始する。

注(4) T_{PLL_RST} は電源電圧が表2の推奨動作条件の電源電圧範囲内で安定した時間を起点とする。

図 5 パワーオンシーケンスのタイミング (内部 PLL 使用時)



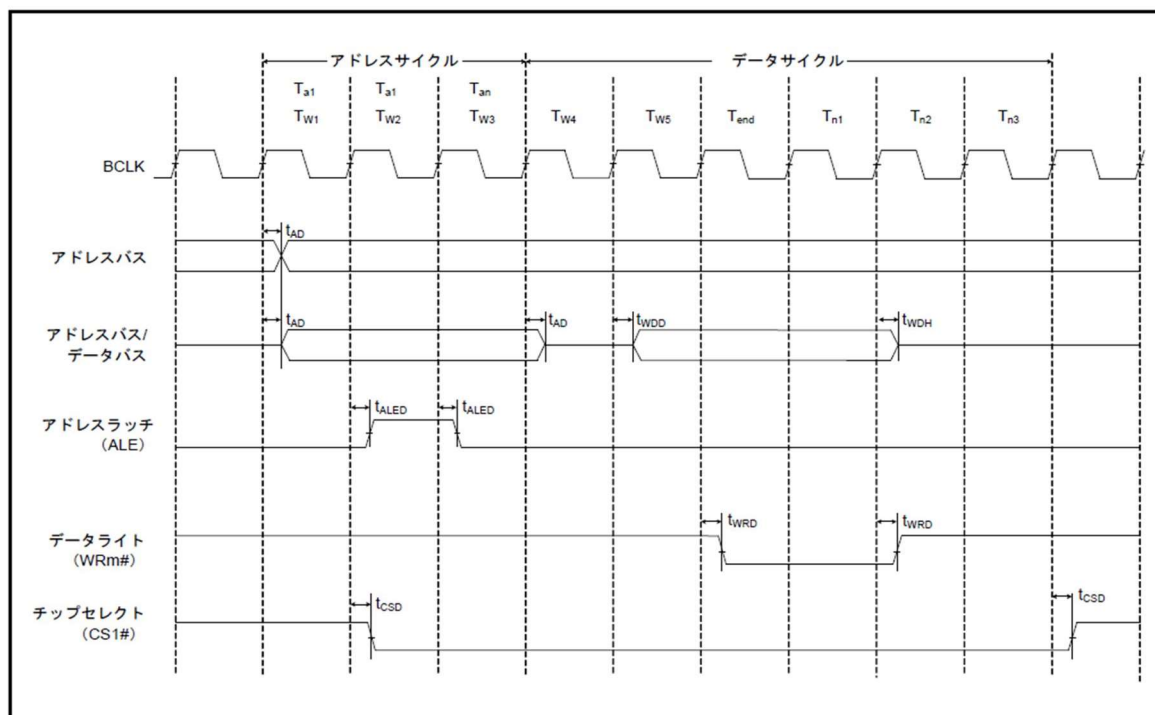
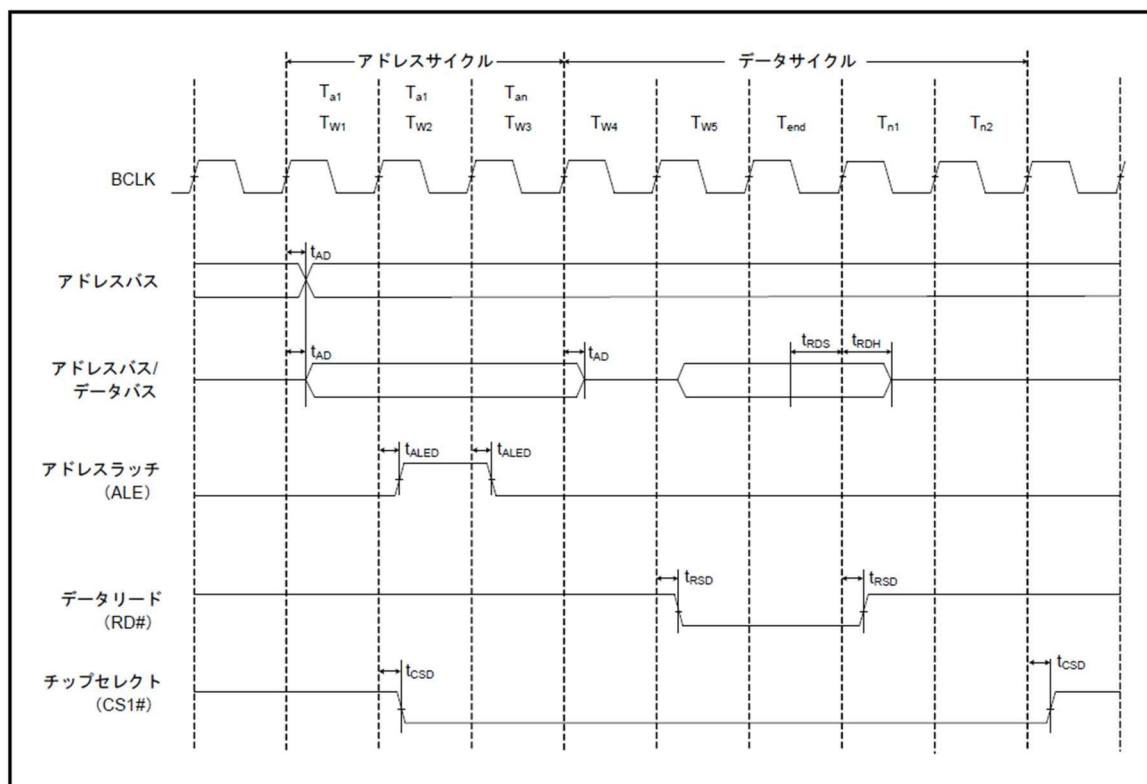
注(1) 電源投入シーケンスは、内部ロジック用電源: VDD (1.2V) → IO用電源: VCCQ (3.3V) の順、又は同時に推奨する。

注(2) 外部信号(RES#)の立上りから最低 T_{PLL_SEL} 期間は値を保持する。外部信号(RES#)の立上り前から値を設定しても問題なし。

注(3) 内部リセット解除後、内部クロック(ICLK)で約25クロック後にCS領域へアクセスを開始する。

注(4) T_{PLL_RST} は電源電圧が表2の推奨動作条件の電源電圧範囲内で安定した時間を起点とする。

図 6 パワーオンシーケンスのタイミング (内部 PLL 未使用時)



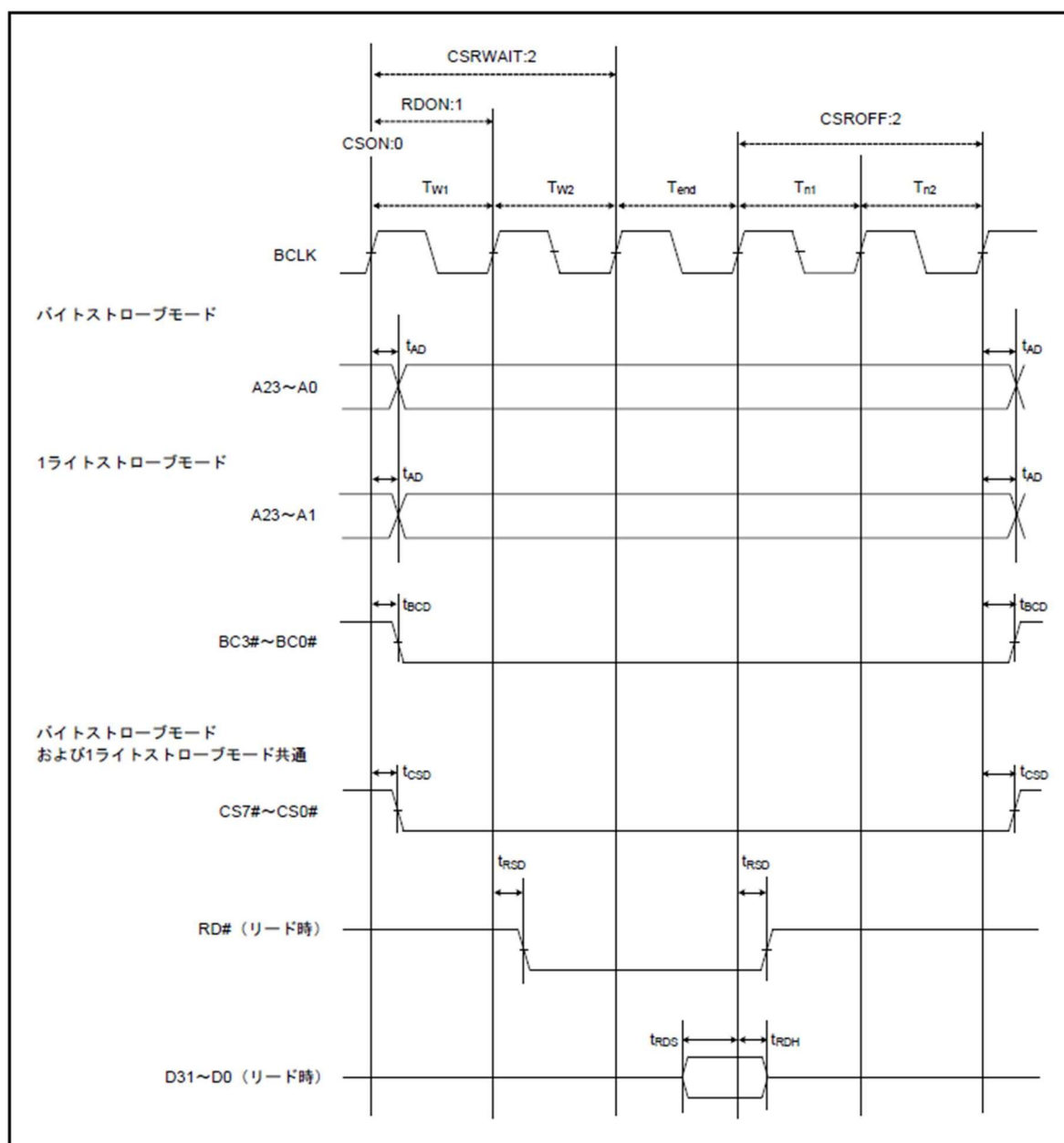


図 9 外部バスタイミング/ノーマルリードサイクル(バスクロック同期)

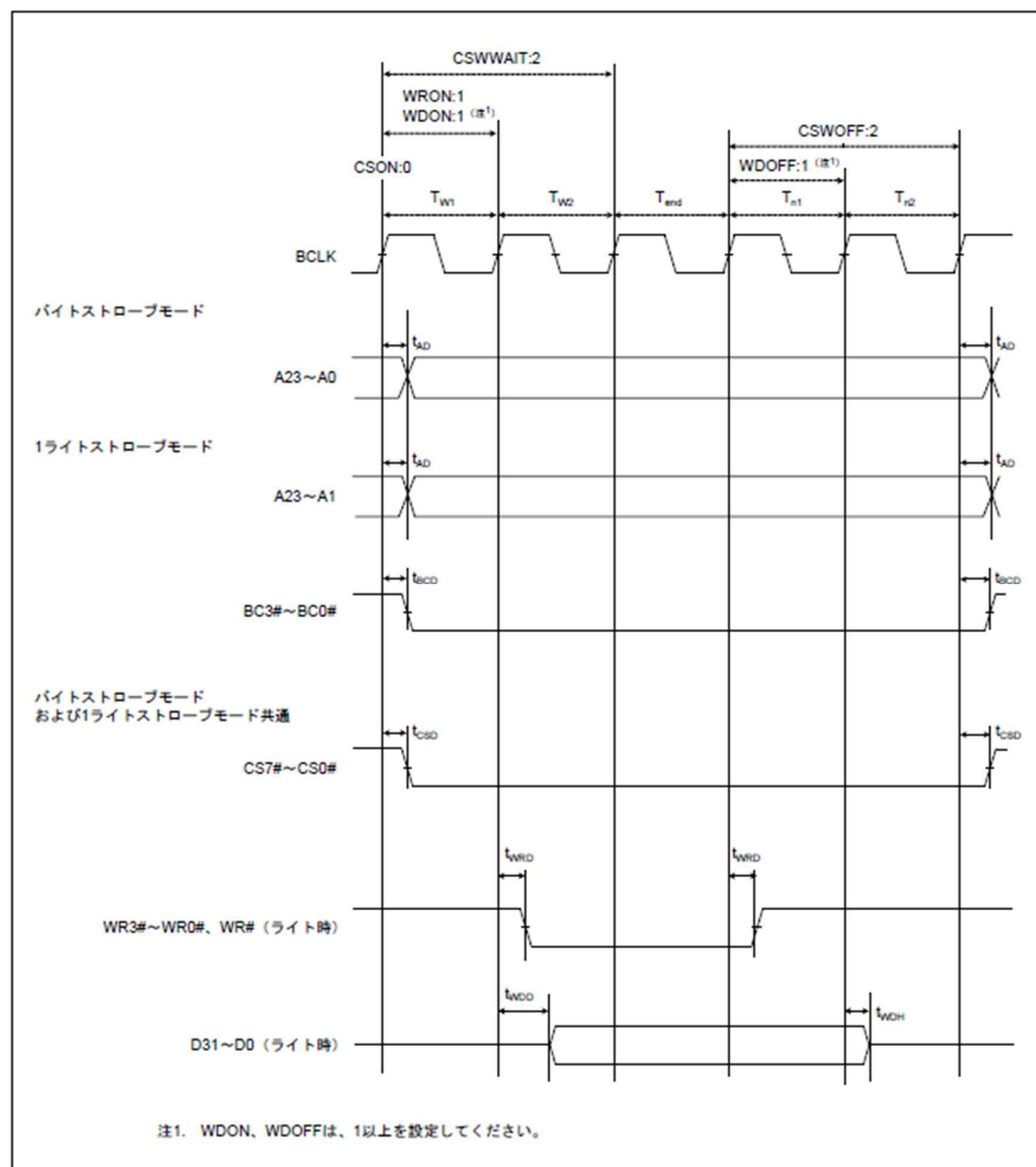


図 10 外部バスタイミング/ノーマルライトサイクル(バスクロック同期)

[illegible]

- 67 -

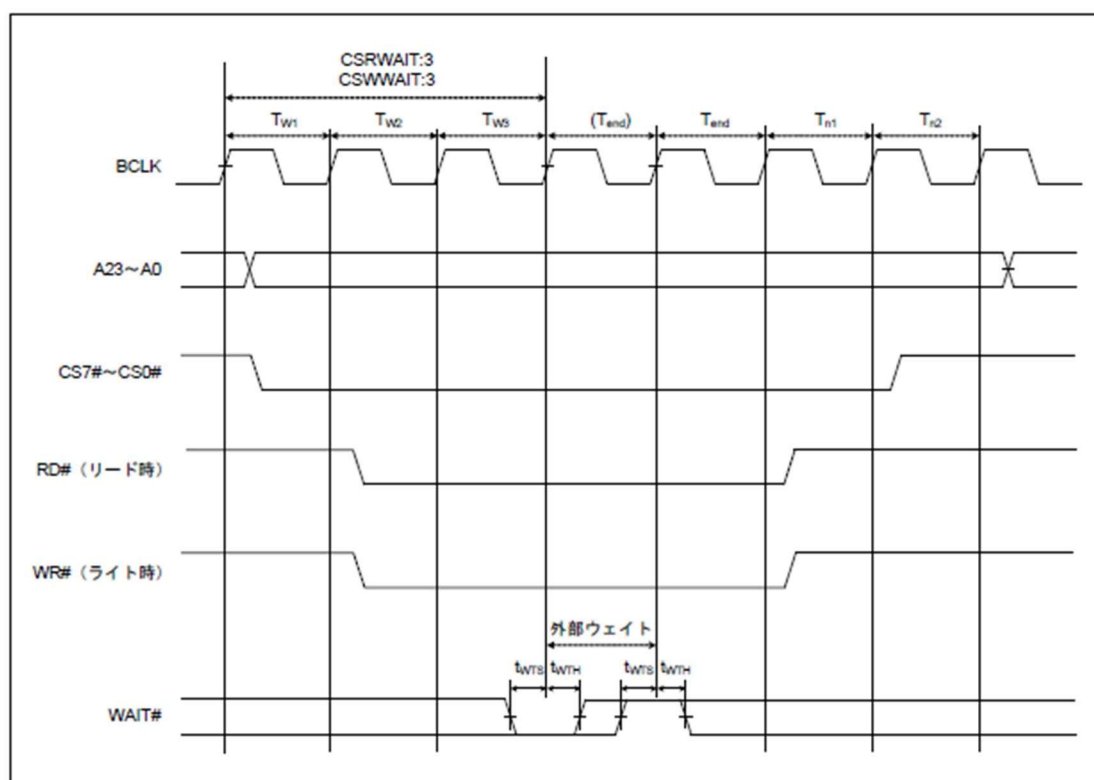


図 13 外部バスタイミング/外部ウェイト制御

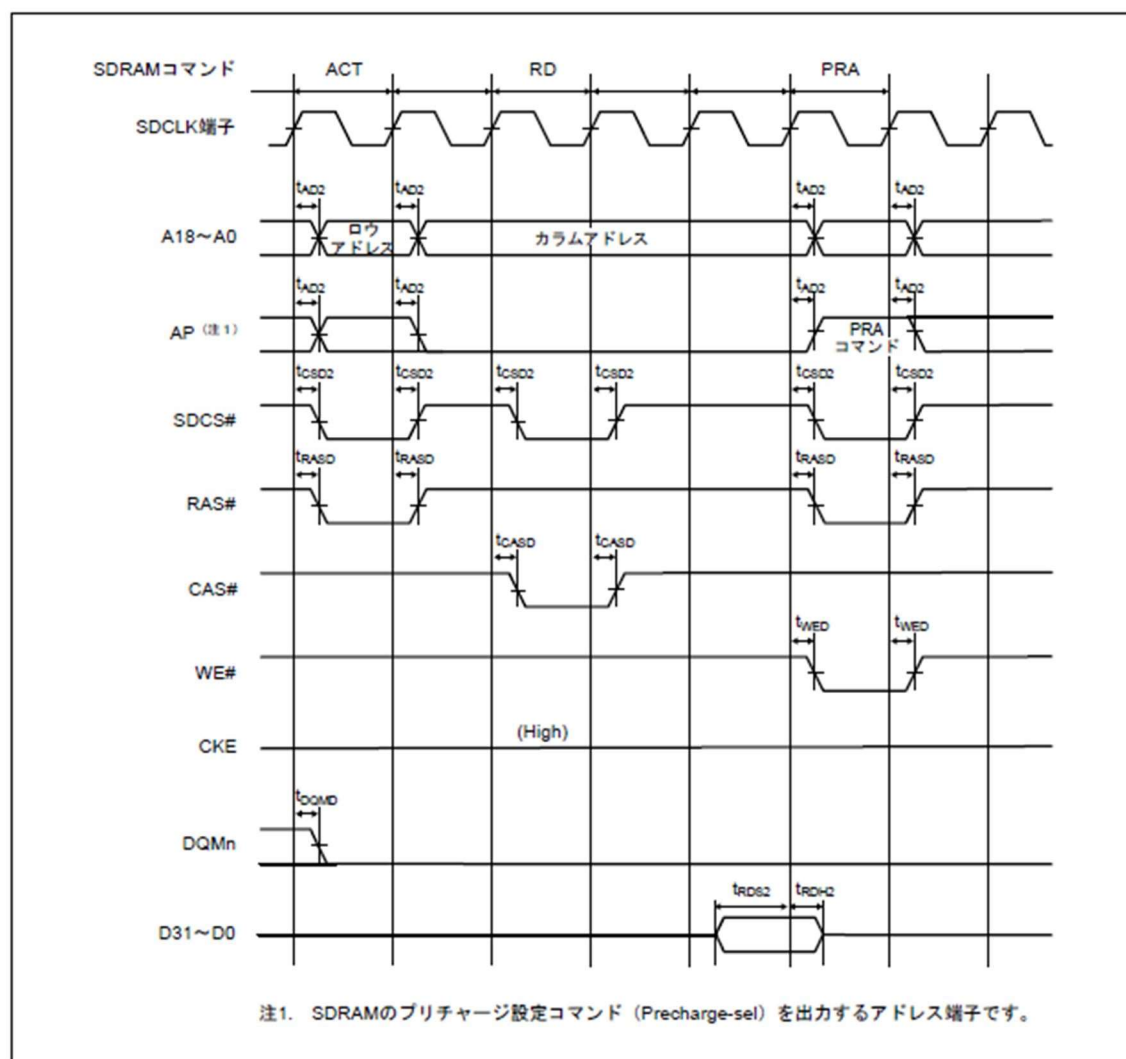


図 14 SDRAM 空間シングルリードバスタイミング

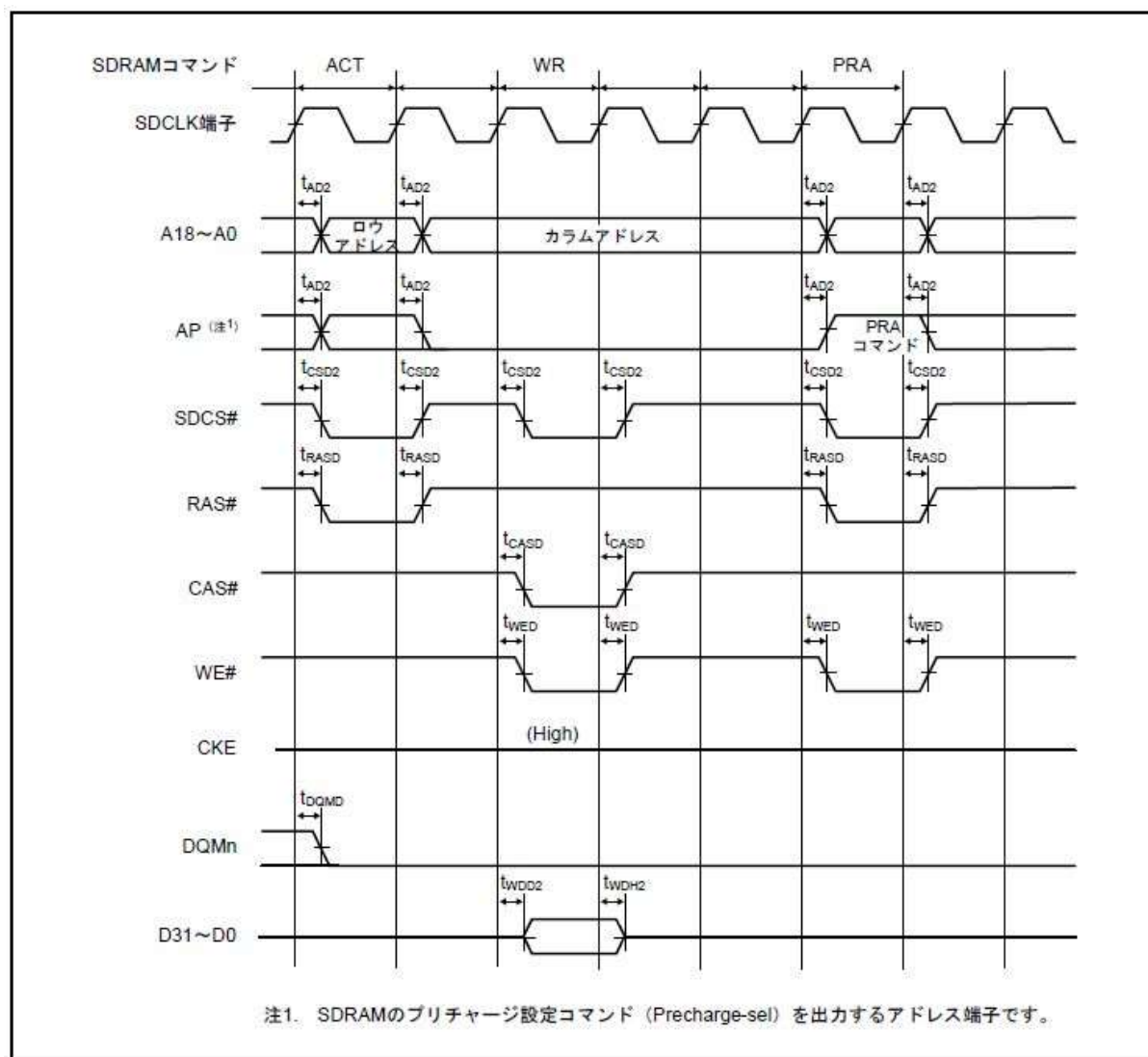


図 15 SDRAM 空間シングルライトバスタイミング

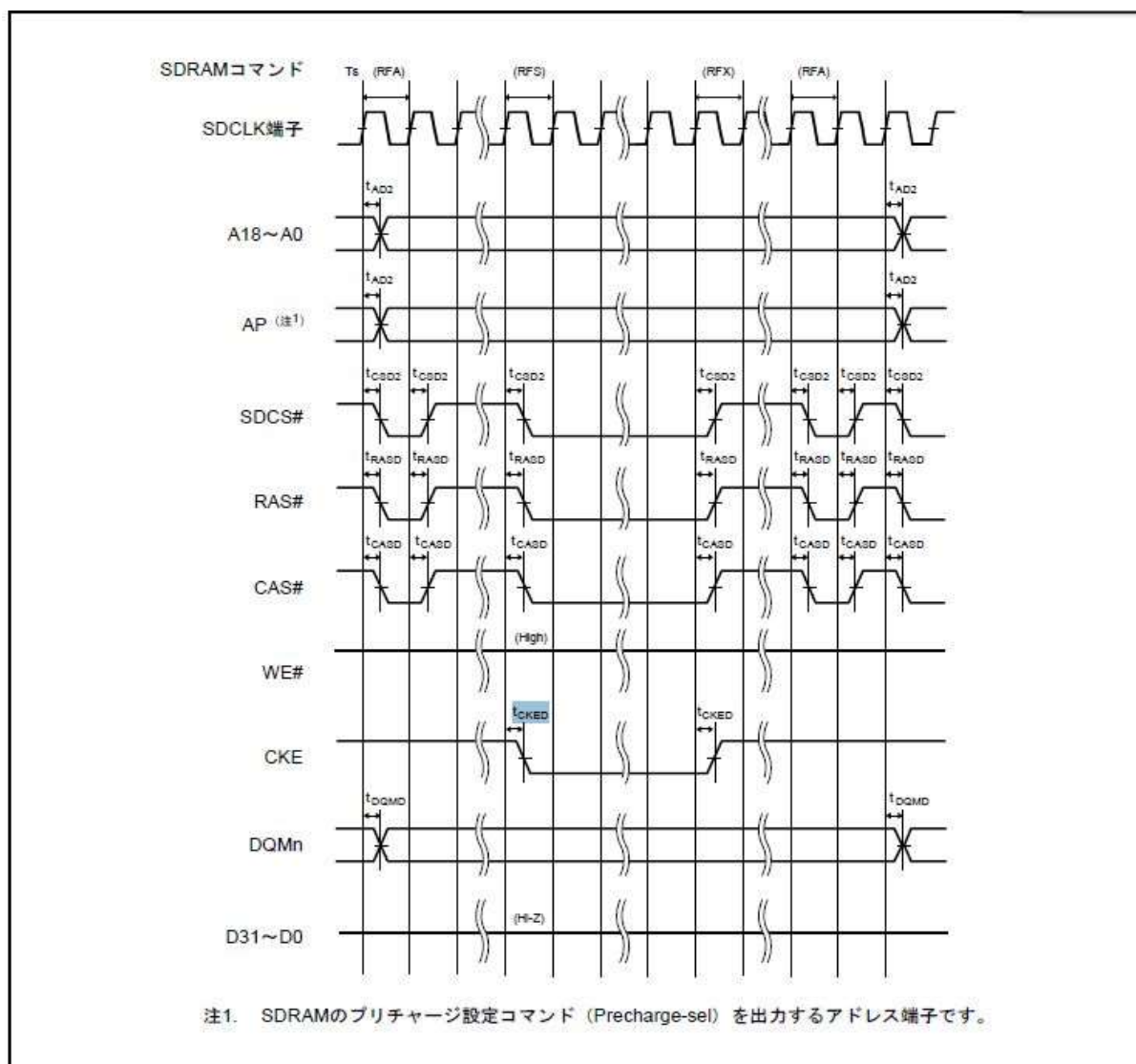


図 16 SDRAM 空間セルフリフレッシュバスタイミング

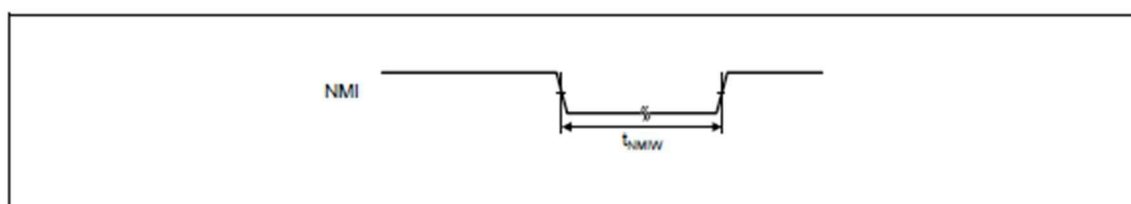


図 17 NMI 割込入力タイミング

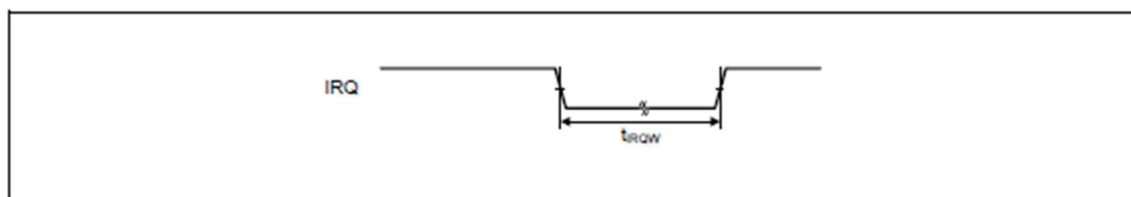


図 18 IRQ 割込入力タイミング

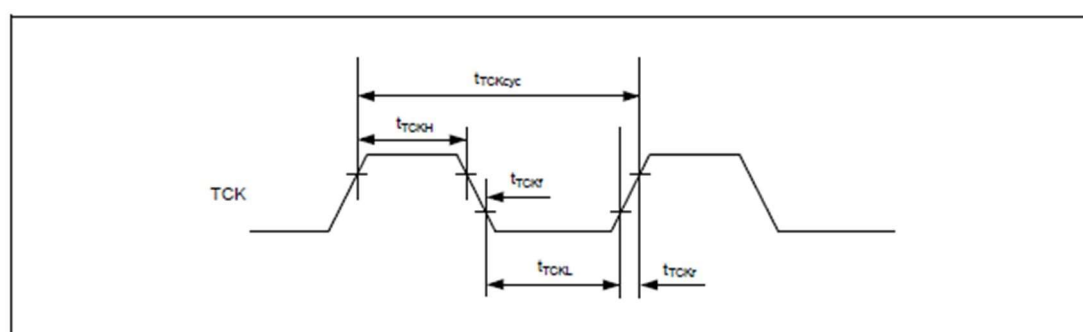


図 19 バウンダリスキャン TCK タイミング

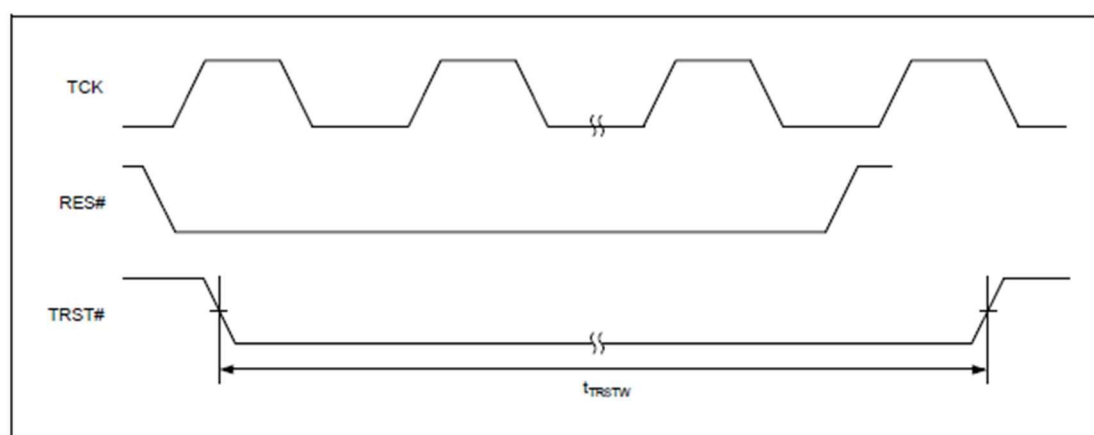


図 20 バウンダリスキャン TRST タイミング

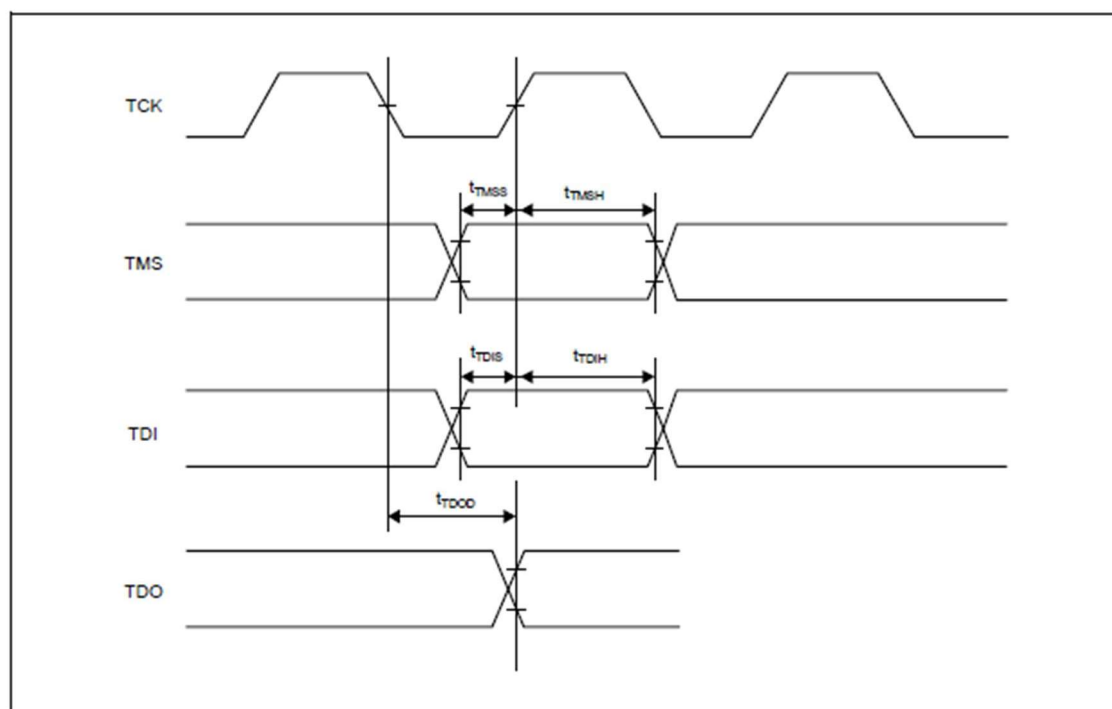


図 21 バウンダリスキャン入出力タイミング

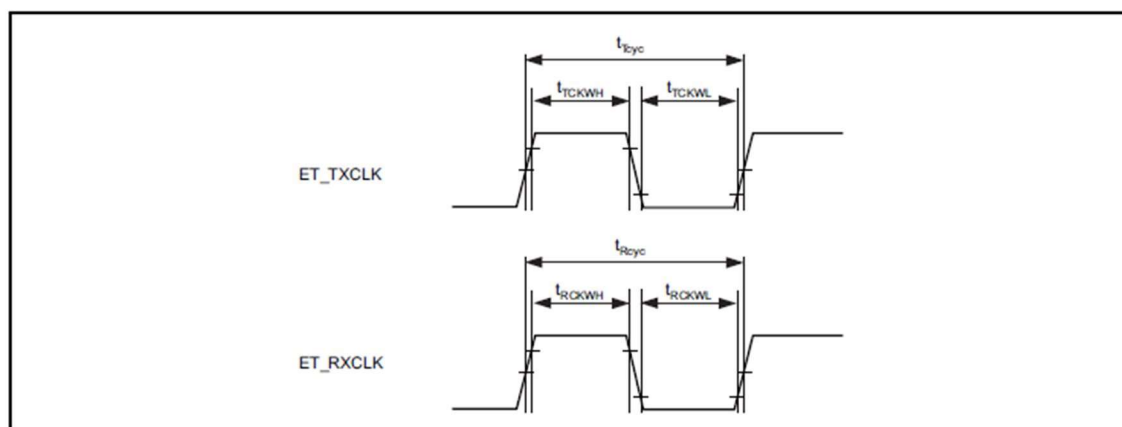


図 22 MII クロックタイミング

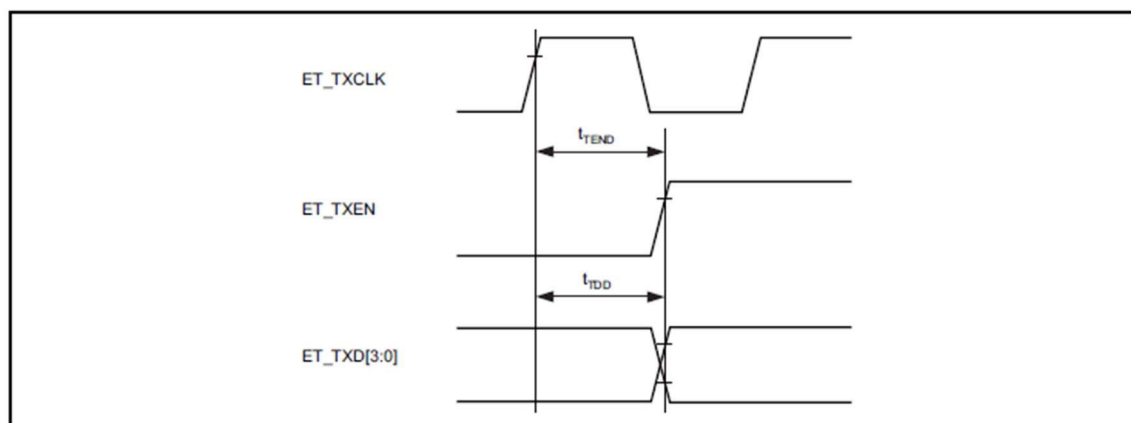


図 23 MII 送信データタイミング

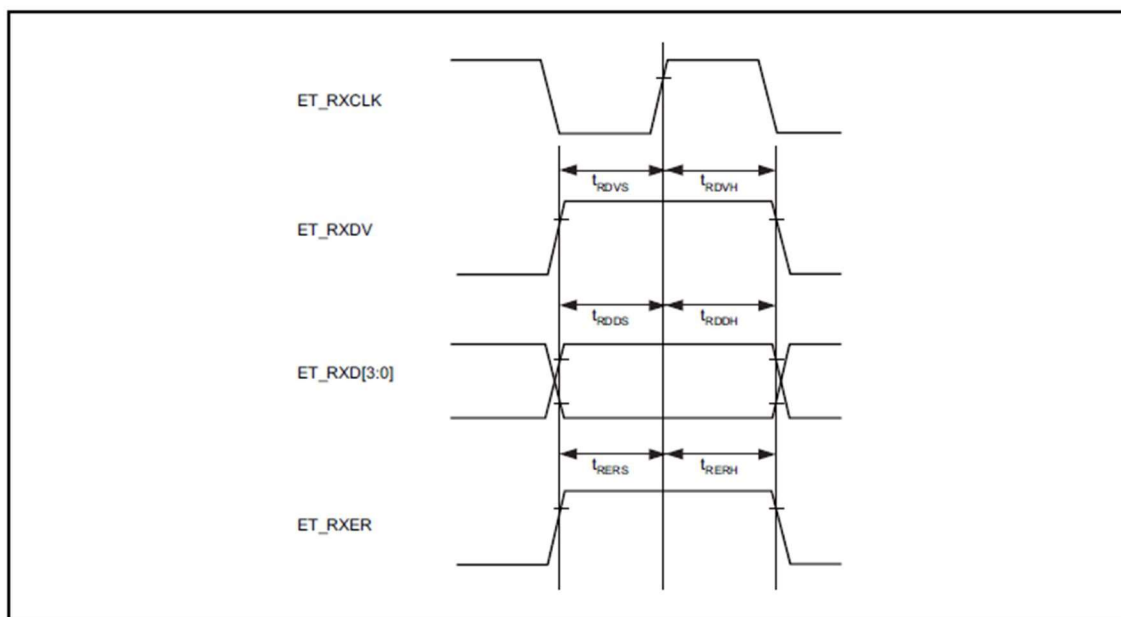


図 24 MII 受信データタイミング

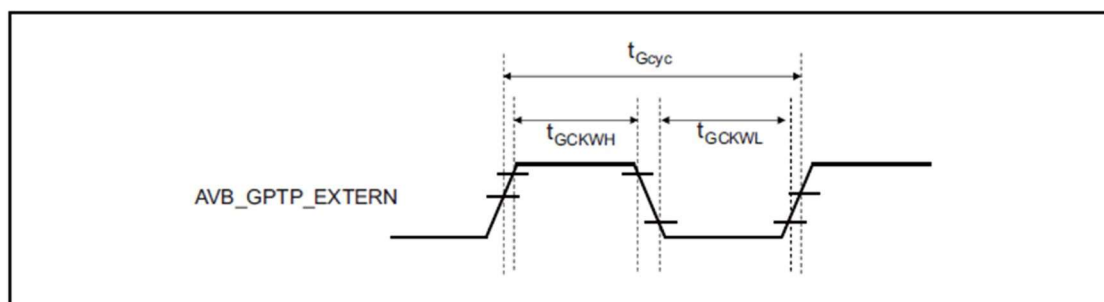


図 25 gPTP タイマ外部クロックタイミング

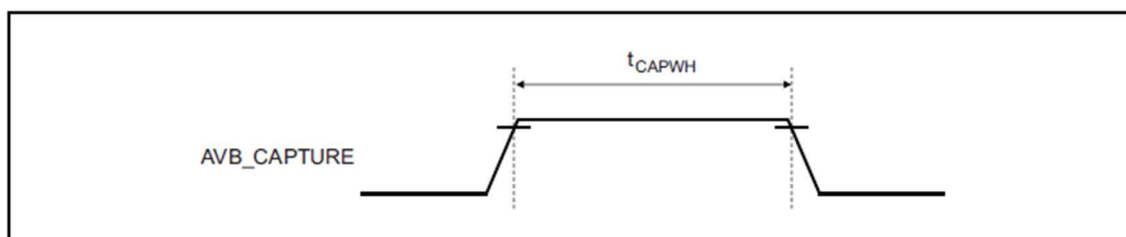


図 26 タイマキャプチャ信号タイミング

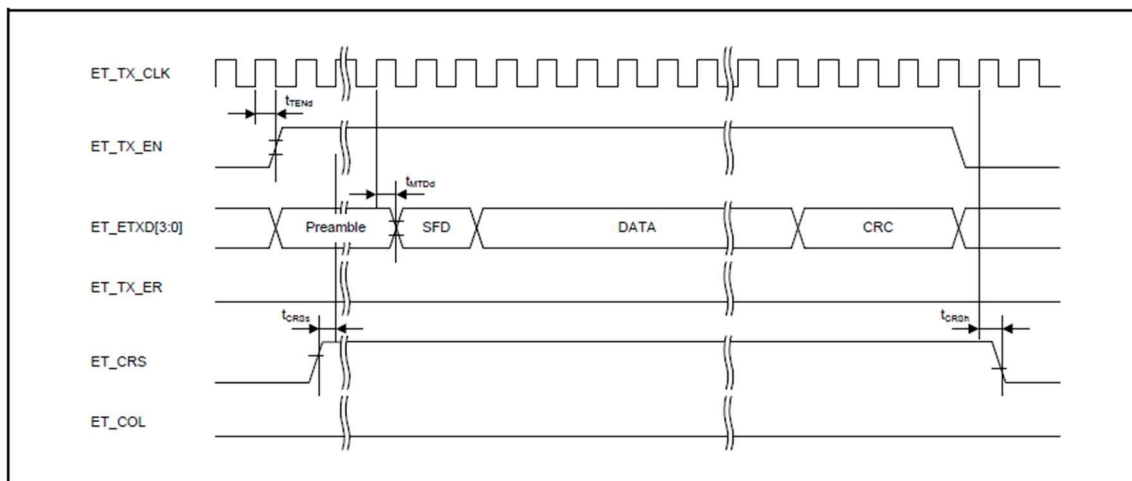


図 27 MII 送信タイミング（正常動作時）

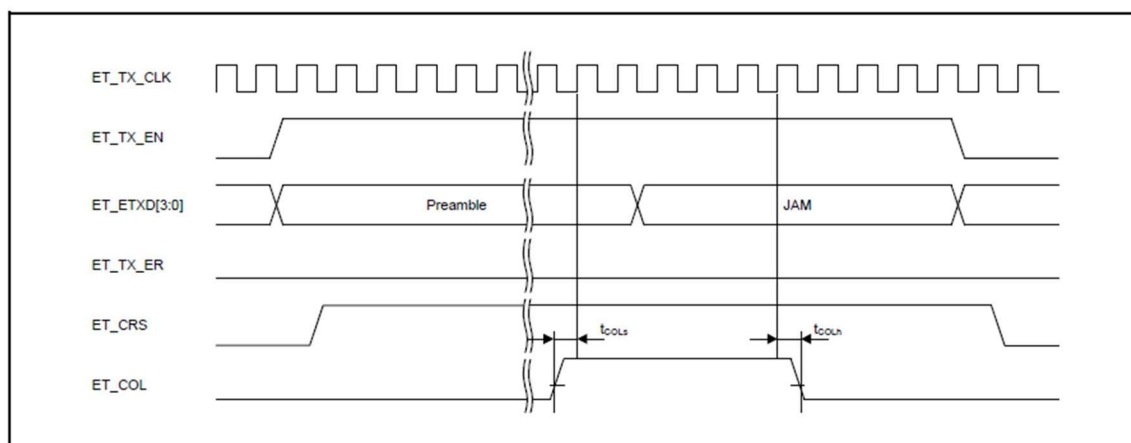


図 28 MII 送信タイミング（衝突発生ケース）

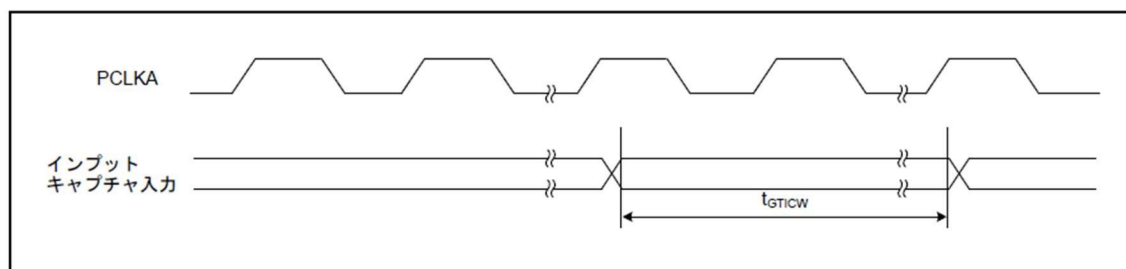


図 29 GPT インプットキャプチャ入力タイミング

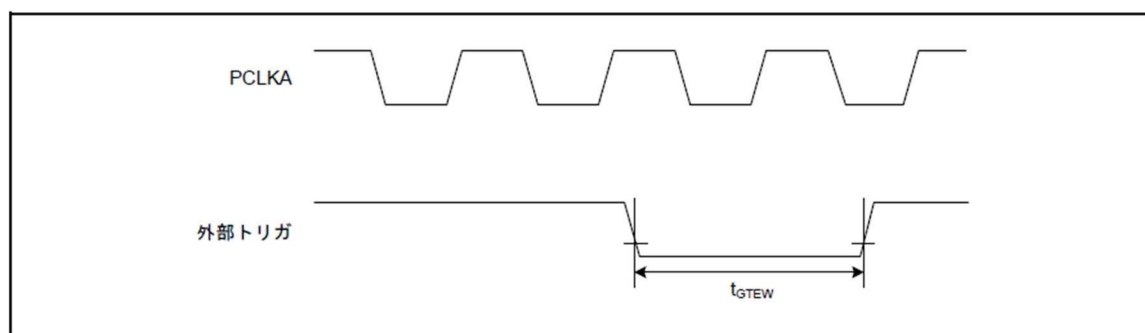


図 30 GPT 外部トリガ入力タイミング

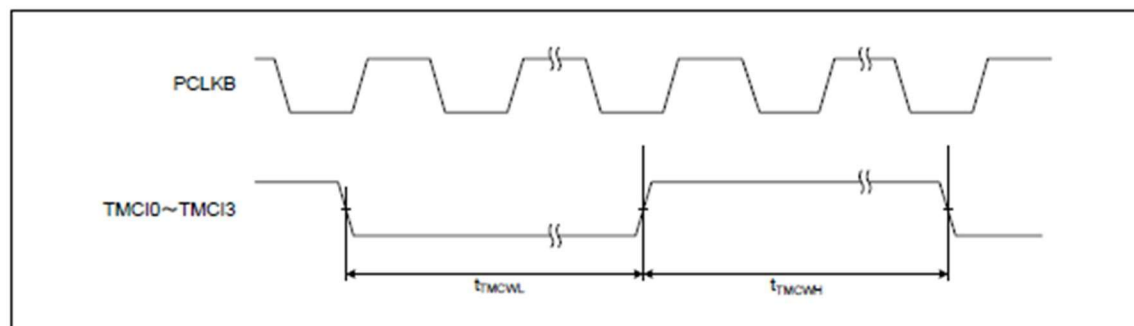


図 31 TMR クロック入力タイミング

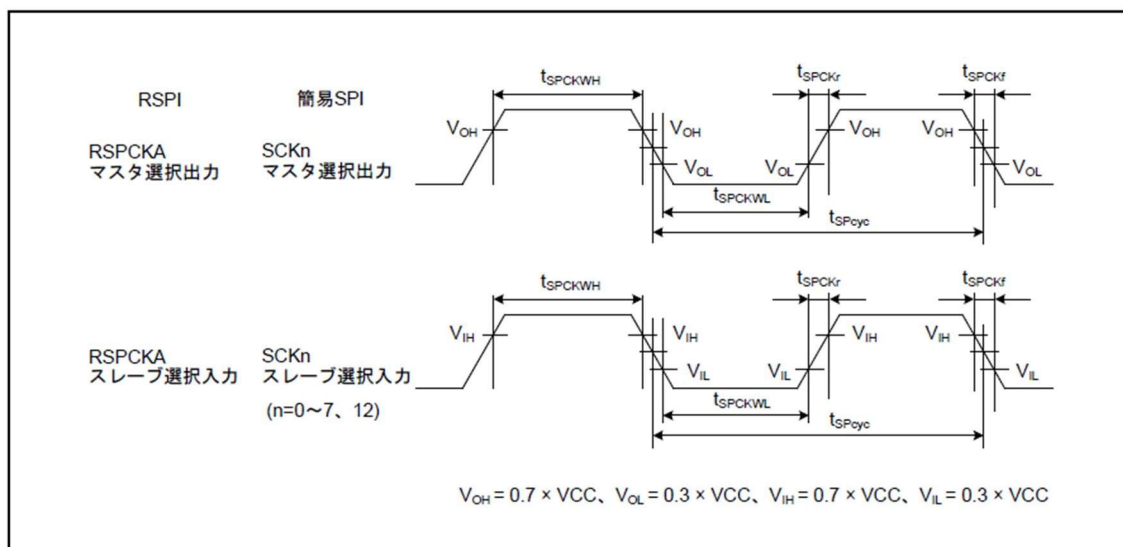


図 32 RSPI クロックタイミング/簡易 SPI クロックタイミング

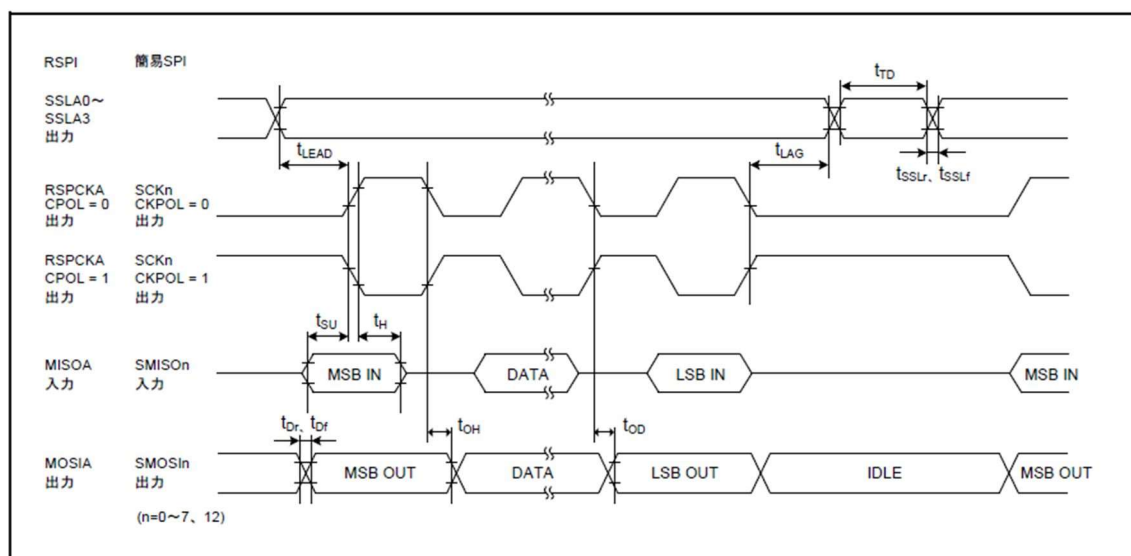


図 33 RSPI タイミング (マスタ、CPHA=0) (ビットレート : PCLK を 2 分周以外に設定) /
簡易 SPI タイミング (マスタ、CKPH = 1)

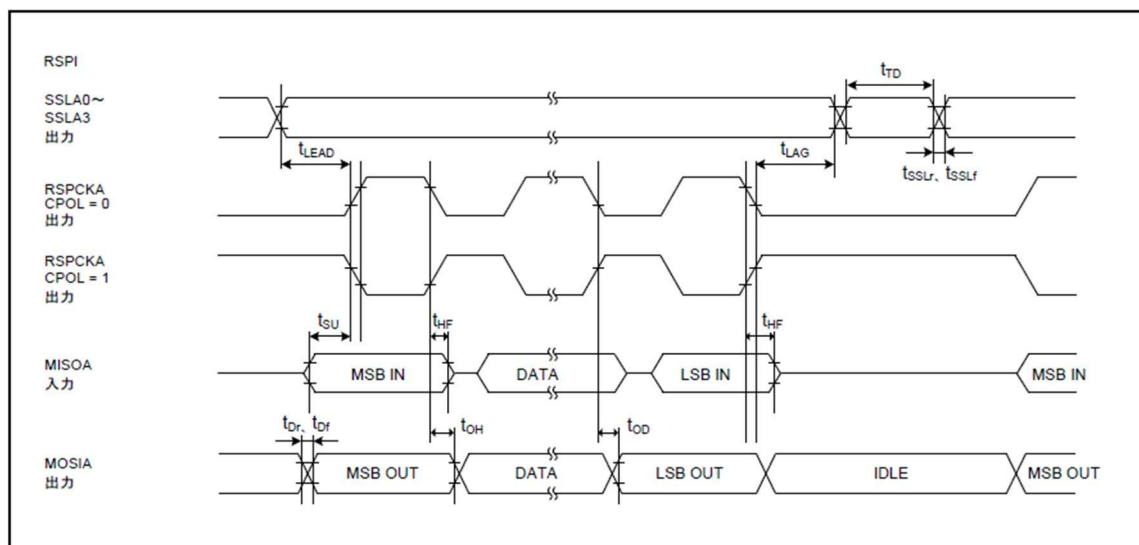


図 34 RSPI タイミング (マスタ、CPHA=0) (ビットレート : PCLK を 2 分周に設定)

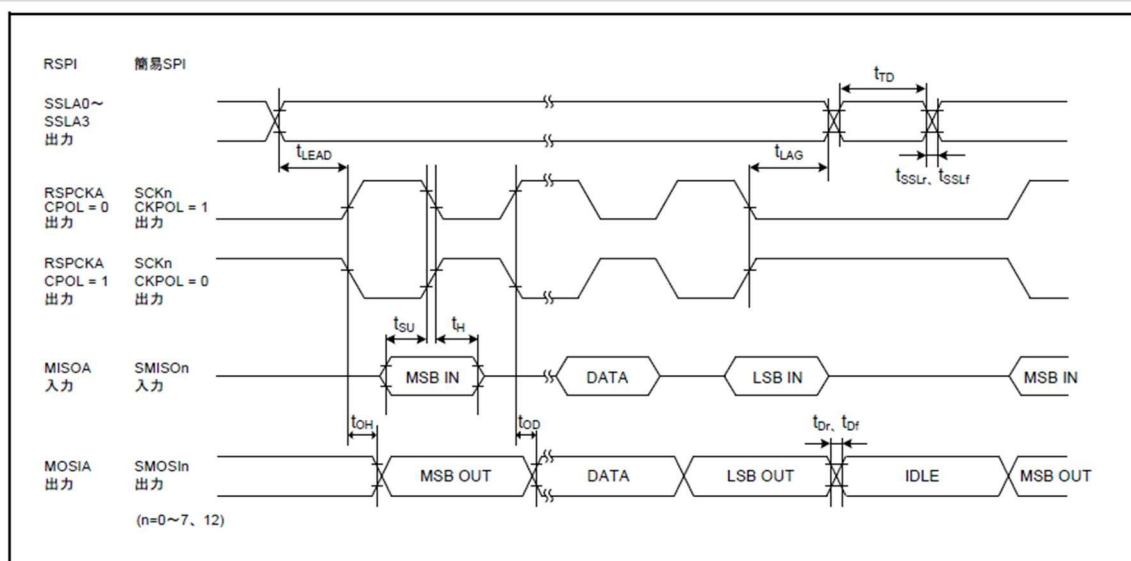


図 35 RSPI タイミング (マスタ、CPHA=1) (ビットレート : PCLK を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH=1)

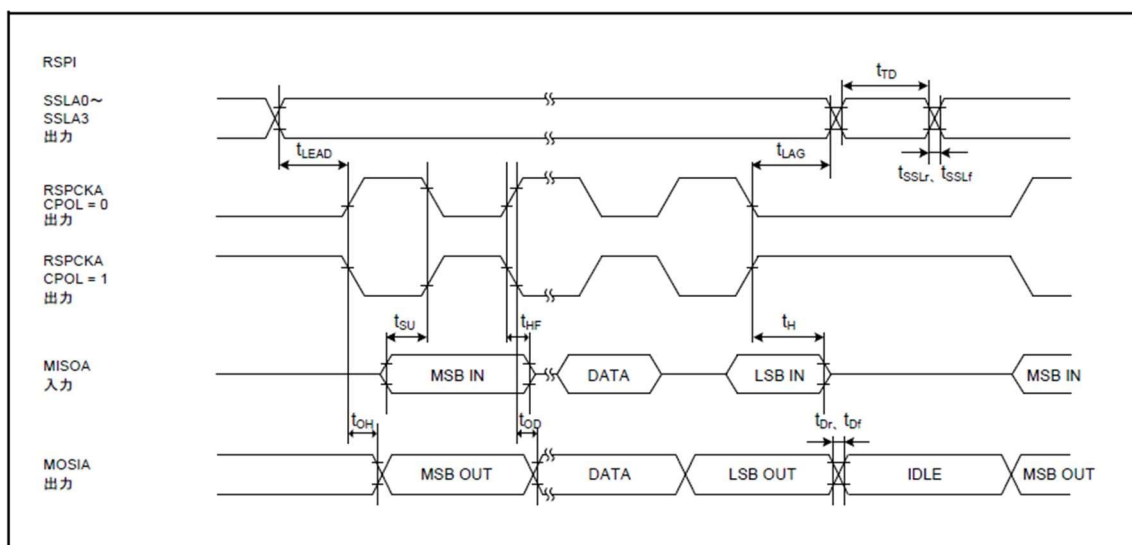


図 36 RSPI タイミング (マスタ、CPHA=1) (ビットレート : PCLK を 2 分周に設定)

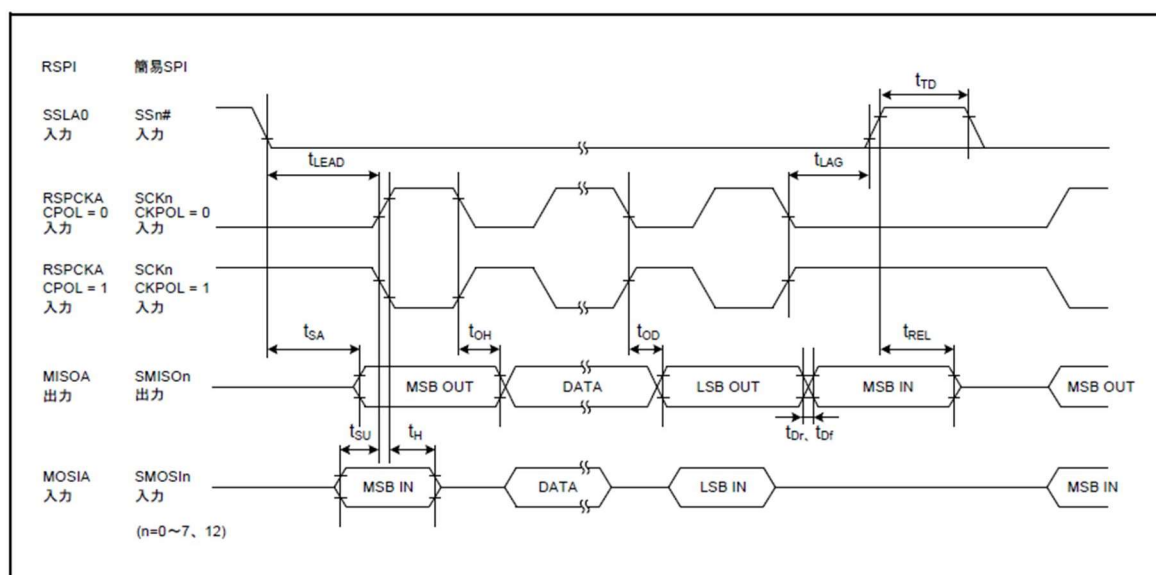


図 37 RSPI タイミング (スレーブ、CPHA=0) /簡易 SPI タイミング (スレーブ、CKPH=1)

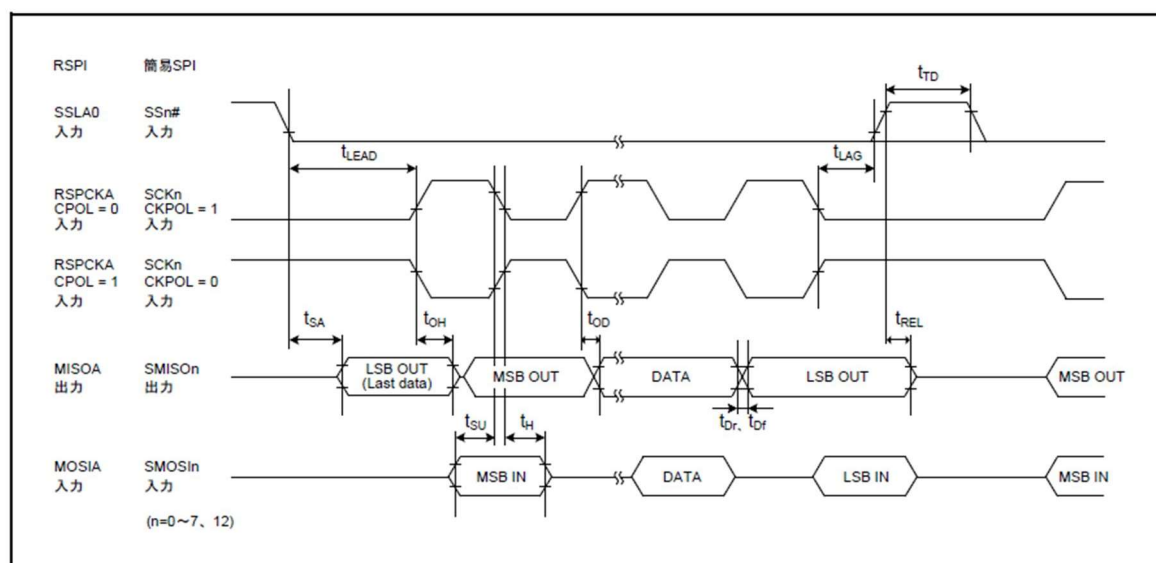


図 38 RSPI タイミング (スレーブ、CPHA=1) /簡易 SPI タイミング (スレーブ、CKPH=0)

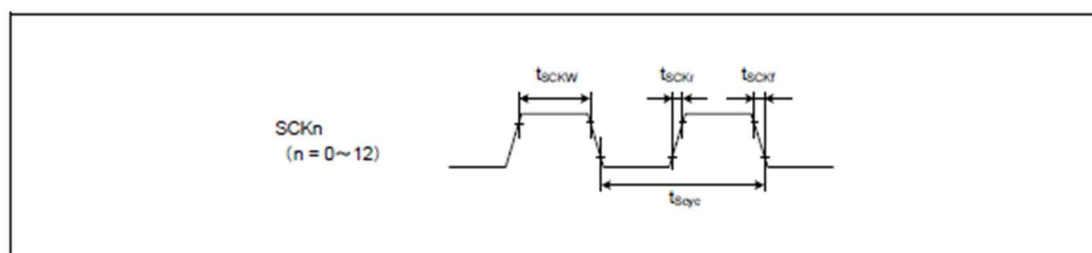


図 39 SCK クロック入力タイミング

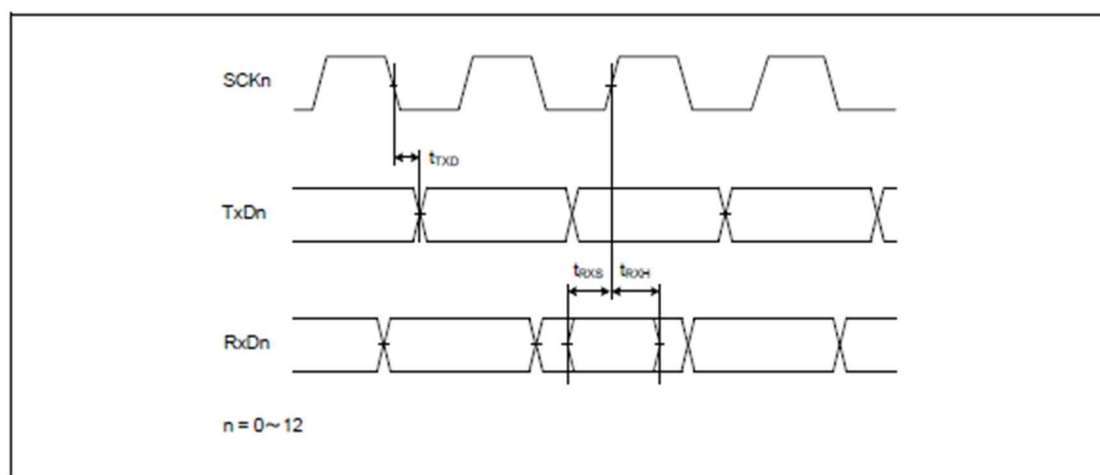


図 40 SCI 入出力タイミング/クロック同期式モード

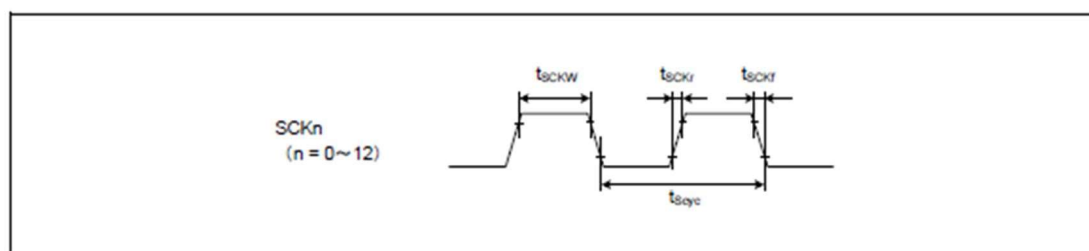


図 41 SCK クロック入力タイミング

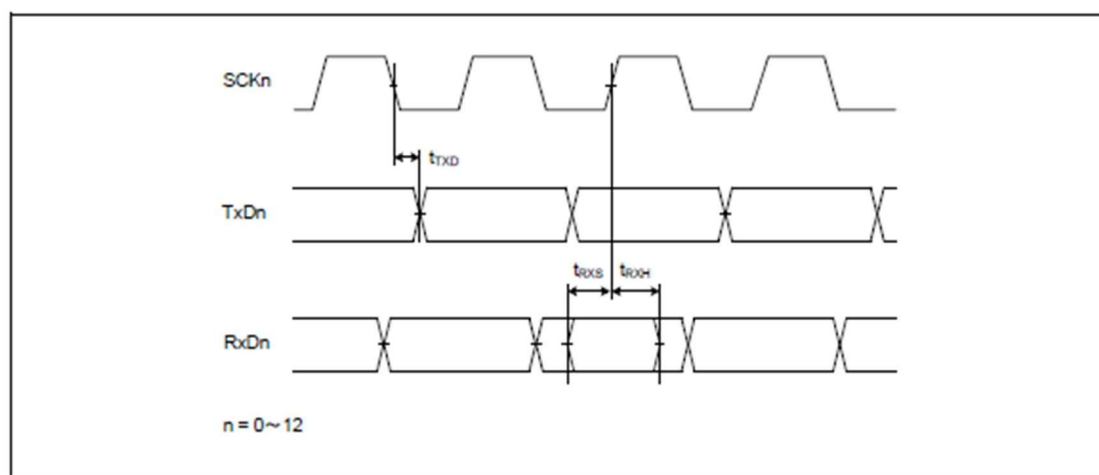


図 42 SCI 入出力タイミング/クロック同期式モード

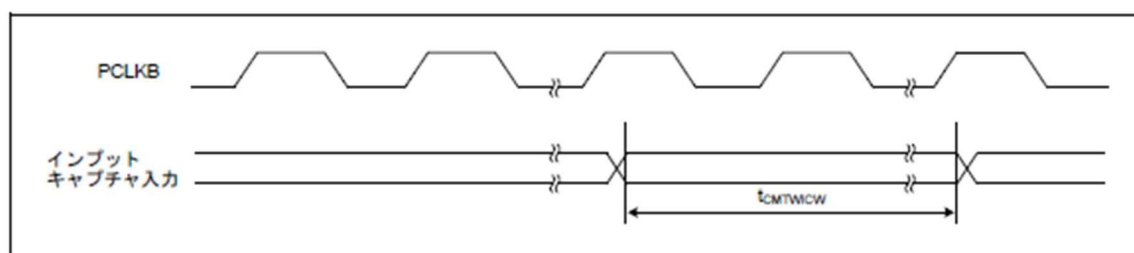
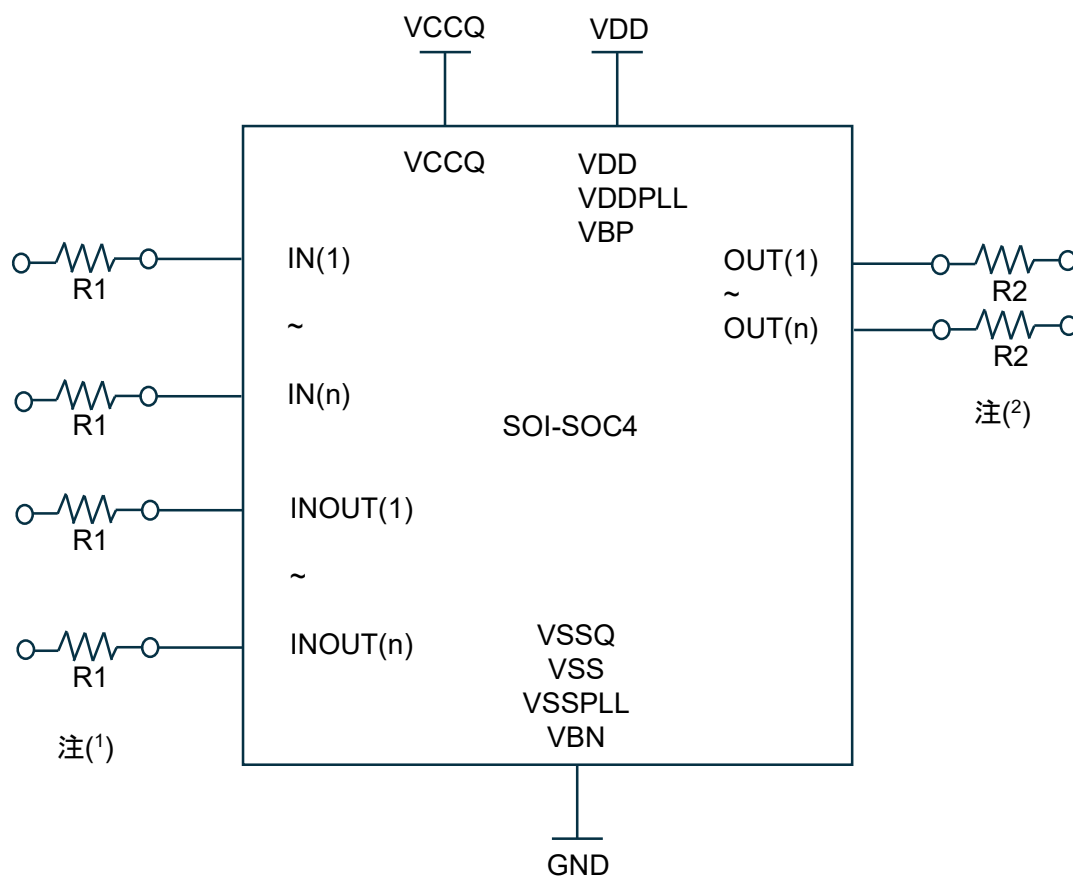


図 43 CMTW インプットキャプチャ入力タイミング



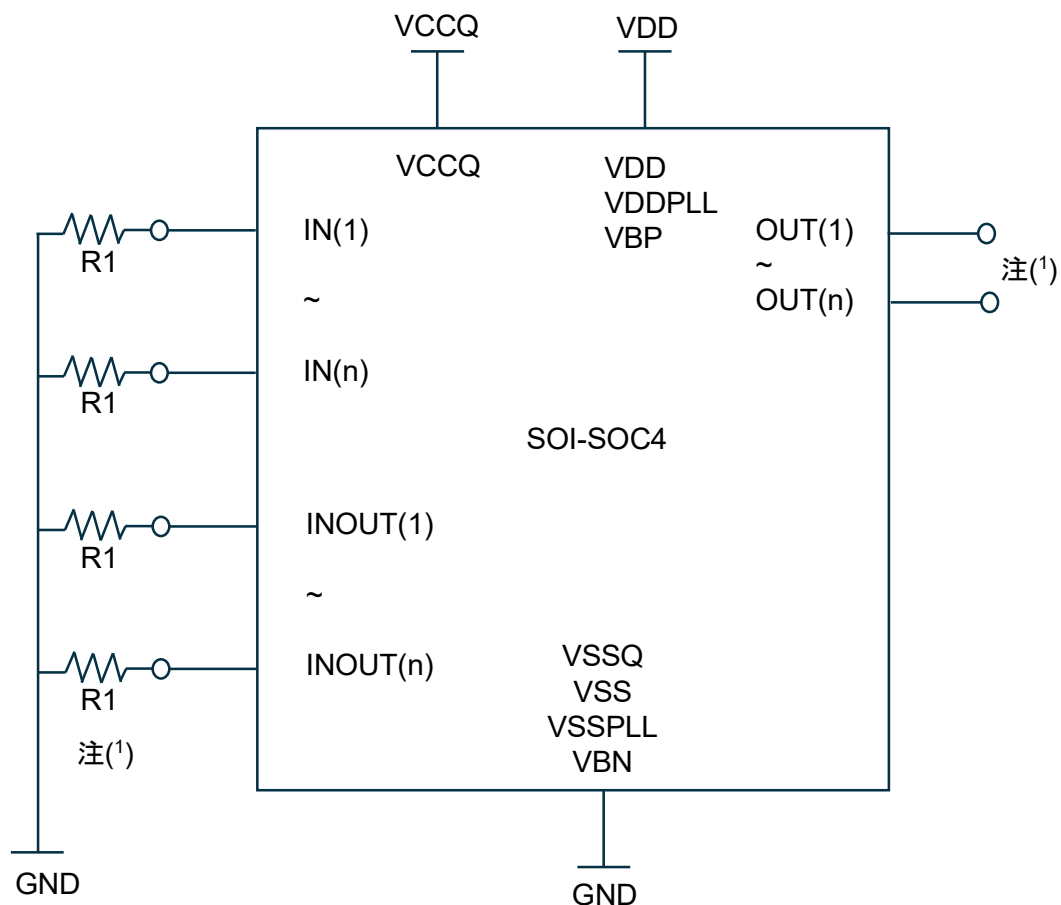
VCCQ : 3.6 V ⁽³⁾
 VDD : 1.3V ⁽³⁾
 VIN : テストパターン (設定値)
 $VH=VCCQ\pm0.2V$ 、 $VL=0.0V\pm0.2V$
 VOUT : テストパターン (期待値)
 $VH=VCCQ\pm0.2V$ 、 $VL=0.0V\pm0.2V$
 VIO : テストパターン (入力モード : 設定値、出力モード : 期待値)
 $VH=VCCQ\pm0.2V$ 、 $VL=0.0V\pm0.2V$
 R1 : 1k Ω
 R2 : 22 Ω

注(1) 未使用の入力端子はプルダウン (抵抗値 : 10k Ω)。

注(2) 未使用の出力端子は解放。

注(3) 動作中のボード上の電源電圧設定値である。

図 44 バーンイン試験及び定常寿命試験回路



VCCQ : 3.6V ⁽³⁾
 VDD : 1.3V ⁽³⁾
 VSS, VSSQ : GND
 R1(プルダウン用抵抗) : 1k Ω

供試体の動作条件 : リセット状態⁽²⁾、ロック供給なし

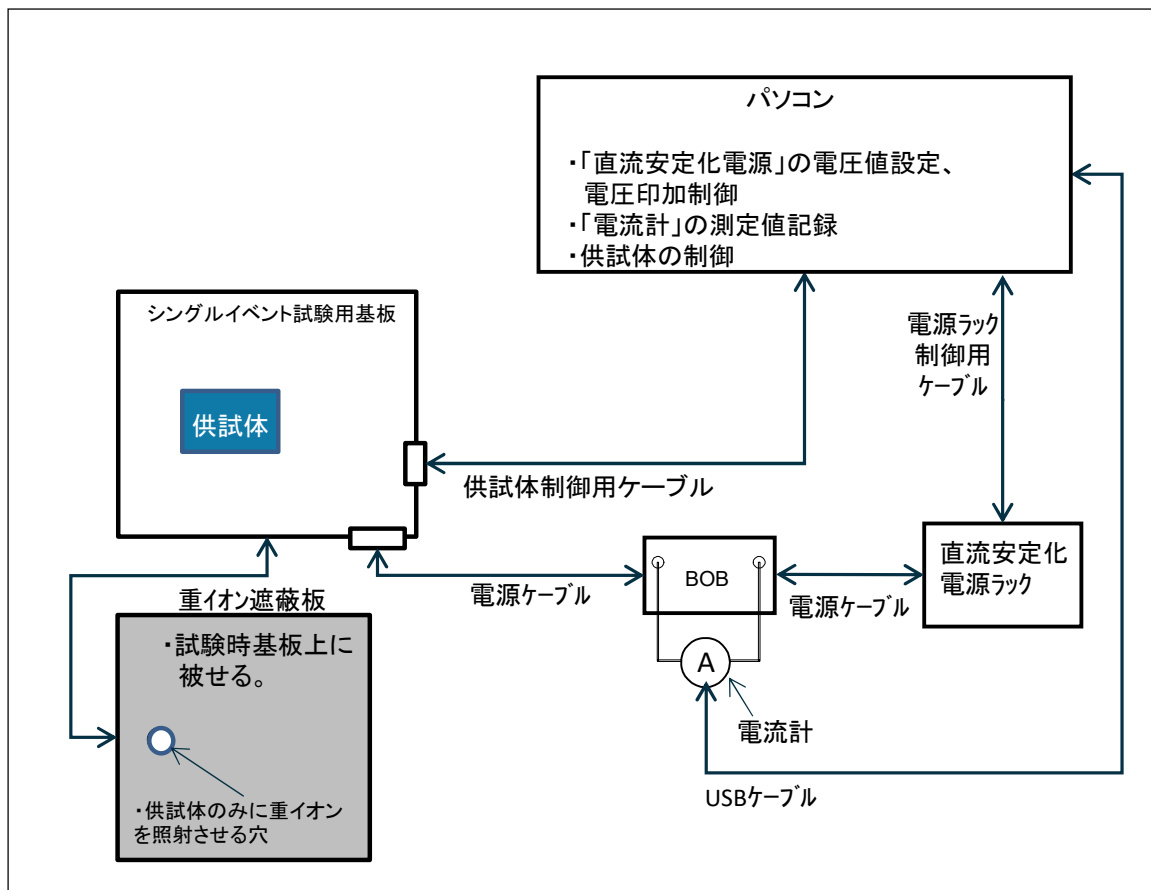
注⁽¹⁾ IN/INOUT ピンの端子処置 : 表 6 に示す通りプルダウンとなる。

OUT ピンの端子処置 : 表 6 に示す通り解放となる。

注⁽²⁾ リセット状態時には、GPIO は全端子が入力端子となり、
 GPIO 以外の全端子は High-Z 状態となる。

注⁽³⁾ 動作中のボード上の電源電圧設定値である。

図 45 グループ E サブグループ 1 定常状態放射線量試験回路



- ・試験時の電源電圧は表 17 を参照。

図 46 グループ E サブグループ 2 シングルイベント試験回路