

宇宙開発用共通部品等 適用データ・シート

部品名	宇宙開発用信頼性保証 集積回路 モノリシックシリコン CMOS SOI-SOC マルチコアプロセッサ
部品番号 又は形式	JAXA2010/20101XZR
適用仕様書	JAXA-QTS-2010 JAXA-QTS-2010/201

2025 年 7 月

作成・制定：三菱重工業株式会社

発行：国立研究開発法人 宇宙航空研究開発機構

改訂履歴表

記号	年 月 日	主 要 改 訂 内 容
NC	2025. 7. 28	新規発行

目 次

1. 総則.....	1
1.1 目的.....	1
1.2 適用文書	1
1.3 参考文書	1
2. 部品の概要	2
2.1 概要.....	2
2.2 外観, 寸法	6
2.3 質量.....	6
2.4 素子構造	6
3. 使用方法.....	10
3.1 絶対最大定格	10
3.2 推奨動作条件	10
3.3 回路設計上の注意事項	12
3.4 推奨取付方法	12
4. 通常状態における特性	13
4.1 電気的特性.....	13
4.2 機械的及び熱的特性.....	57
5. 各種動作環境条件における特性	58
6. 環境限界.....	82
6.1 機械的組合せ試験	82
6.2 熱的環境試験、耐湿性試験 組合せ試験.....	82
6.3 耐放射線性試験.....	82
7. 信頼性	83
7.1 故障率	83
8. 保管方法.....	83
9. 注意事項.....	84
10. その他	84

宇宙開発用共通部品等 適用データ・シート

1. 総則

1.1 目的

適用データ・シートは JAXA 認定部品について選定、設計、使用等に部品ユーザが活用できる詳細な情報提供することを目的とする。なお、これによって部品使用者の責任を免責するものではない。

1.2 適用文書

特に規定のない限り、下記文書はこのデータ・シートに記載されている範囲で、このデータ・シートの一部をなすものとする。訂符は以下を適用する。

- a) VET25310 宇宙開発用信頼性保証集積回路 モノリシックシリコン
CMOS SOI-SOCマルチコアプロセッサ
個別仕様書
- b) JAXA-QTS-2010D 宇宙開発用信頼性保証 集積回路 共通仕様書
- c) JAXA-QTS-2000F 宇宙開発用共通部品等 一般共通仕様書
- d) MIL-STD-883L マイクロサーキットの試験方法及び手順
- e) JREG-0-043E 宇宙用表面実装はんだ付工程標準
- f) JESD22-B115A SOLDER BALL PULL
- g) JEDEC JESD22-A115C ELECTROSTATIC DISCHARGE (ESD) SENSITIVITY TESTING
MACHINE MODEL (MM)
- h) ANSI/ESDA/JEDEC JS-002-2018 ESDA/JEDEC Joint Standard for
Electrostatic Discharge Sensitivity Testing -
Charged Device Model (CDM) - Device Level
- i) J-STD-002E Solderability Tests for Component Leads, Terminations,
Lugs, Terminals and Wires

1.3 参考文書

なし。

2. 部品の概要

2.1 概要

この仕様書で規定される IC の機能及び性能は、表 2.1-1 のとおりである。

表 2.1-1 機能及び性能(1/3)

項目	仕様	構成	概要
プロセッサ	ルネサス製 RXv3	2 コア	- 動作周波数 160MHz (温度:125℃、動作電圧:1.11V、ワーストパス) - 動作周波数 190MHz (温度:25℃、動作電圧:1.2V、ワーストパス) - 倍精度 FPU 対応(次世代 MPU 用にカスタム)
周辺機能	DMAC (DMA コントローラ)	CPU0 : 4ch CPU1 : 4ch	・ルネサス社 RX64M 搭載品 (DMACa) 相当
	DTC (データトランスファコントローラ)	CPU0 : 1ch CPU1 : 1ch	・ルネサス社 RX64M 搭載品 (DTCa) 相当
	EXDMAC (EXDMA コントローラ)	CPU0 : 2ch CPU1 : —	・ルネサス社 RX64M 搭載品 (EXDMACa) 相当 ・外部バス転送専用 ・ただし、下記機能は除く ①SDRAM への転送 ②外部端子 (EDREQ, EDACK) による制御
	BSC (バスコントローラ)	CPU0 : 1ch CPU1 : —	・ルネサス社 RX64M 搭載品 (BSC) 相当
	ICU (割込みコントローラ)	CPU0 : 1ch CPU1 : 1ch	・ルネサス社 RX64M 搭載品 (ICUA) 相当
高速通信 I/F	SpaceWire (SpaceWire 通信機能)	CPU0/1 共有 : 6ch	表 2.1-2 参照 SpaceWire/RAMP, SpaceWire-PTP, Raw パケット対応
	Ethernet (EthernetAVB 通信機能)	CPU0/1 共有 : 2ch	表 2.1-2 参照
低速通信 I/F	MIL-STD-1553B (MIL-STD-1553B 通信機能)	CPU0/1 共有 : 2ch	表 2.1-2 参照
	CAN (CAN 通信機能)	CPU0 : 1ch CPU1 : 1ch	表 2.1-2 参照
	多機能シリアル (SCI)	CPU0:最大 2ch CPU1:最大 2ch	表 2.1-2 参照 GPIO とピン共有
	SPI (SPI 通信機能)	CPU0:最大 1ch CPU1:最大 1ch	表 2.1-2 参照 GPIO とピン共有
	I2C (I2C 通信機能)	CPU0:最大 1ch CPU1:最大 1ch	表 2.1-2 参照 GPIO とピン共有
汎用 I/O	GPIO (汎用入出力)	CPU0/1 共有 : 最大 76ch	表 2.1-2 参照 PWM、SPI、I2C、SCI、TMR、CMTW とピン共有
	PWM (GPT) (汎用 PWM タイマ)	CPU0:最大 4ch CPU1:最大 4ch	表 2.1-2 参照 GPIO とピン共有

表 2.1-1 機能及び性能(2/3)

項目	仕様	構成	概要
タイマ	TMR (8bit タイマ)	CPU0 : 最大 1ch CPU1 : 最大 1ch	表 2.1-2 参照 GPIO とピン共有
	OS タイマ (16/32bit コンペアマッチタイマ)	CPU0 : 3ch CPU1 : 3ch CPU0/1 共有 2ch	表 2.1-2 参照
	CMTW (16/32bit コンペアマッチタイマ)	CPU0 : 最大 2ch CPU1 : 最大 2ch	表 2.1-2 参照 GPIO とピン共有
	WDTA (ウォッチドッグタイマ)	CPU0 : 1ch CPU1 : 1ch	表 2.1-2 参照
演算支援	GRC (CRC 演算回路)	CPU0 : 1ch CPU1 : 1ch	表 2.1-2 参照
	DOC (データ演算回路)	CPU0 : 1ch CPU1 : 1ch	表 2.1-2 参照
内蔵メモリ ⁽¹⁾	コード用 RAM	CPU0/1 共有 : 4MByte	・アクセラレータ、メモリスクラバーを実装
	共有メモリ	CPU0/1 共有 : 2MByte	・アクセラレータ、メモリスクラバーを実装
	ローカル RAM	CPU0 : 64kByte CPU1 : 64kByte	・メモリスクラバーを実装(オプション)
外部メモリ ⁽¹⁾	汎用外部バスコントローラ	CPU0 : 1ch CPU1 : -	・ルネサス社 RX64M 搭載品 (CSC) 相当
	SDRAM コントローラ	CPU0 : 1ch CPU1 : -	・ルネサス社 RX64M 搭載品 (SDRAMC) 相当を基に、以下の改修を実施。 ・エラー訂正機能追加 (リードソロモン符号によりマルチビットエラーの訂正が可能)。尚、機能の有効/無効の設定可能。 ・アドレス空間を最大 512MB に拡張。 ・外部 SDRAM/内部メモリ間スループット : 100Mbps 以上
デバッグ I/F	—	—	・ルネサス社純正のエミュレータに対応 (E1 エミュレータ)
ブート機能	—	—	・リセット後に CPU0 が CS1 領域の固定番地をベクタとして取得しプログラムを起動 ・MODE ピン (外部端子) の設定により取得する番地を切り替えることが可能 →CS1 ベースアドレス →2MByte オフセット →4MByte オフセット
セキュリティ		CPU0 : 1ch CPU1 : 1ch	・表 2.1-3 に示す機能を実装 ・TSL1.3 認証方式相当に対応
消費電力	1W 以下	—	・温度 : 25°C、動作電圧 : 1.2V、 外部 I/O の消費電力は除く ・MPU 全体 (2 コア使用時) の消費電力。
	1.8W (ワースト値) (参考値)	—	・消費電力ワースト条件 (製造プロセス : fast コーナー、温度 : 125°C、VDD 電圧 : 1.29V、VCCQ 電圧 : 3.6V)、トグル率 : 10%、動作周波数 : 160MHz、I/O の消費電力含む) でのシミュレーション結果。 ・MPU 全体 (2 コア使用時) の消費電力。

表 2.1-1 機能及び性能(3/3)

項目	仕様	構成	概要
放射線耐性	TID 耐性	—	100krad (Si)
	SEL 耐性	—	LET 閾値 $\geq 75 \text{ MeV}/(\text{mg}/\text{cm}^2)$ ($T_j = +125^\circ\text{C}$ 条件)
	SEU 耐性	ロジック部 (Flip-Flop)	LET 閾値 $\geq 40 \text{ MeV}/(\text{mg}/\text{cm}^2)$ 飽和断面積 (Flip-Flop) $\leq 2 \times 10^{-9} (\text{cm}^2/\text{セル})$
		ローカル RAM	LET 閾値 $\geq 40 \text{ MeV}/(\text{mg}/\text{cm}^2)$ ⁽²⁾ ⁽³⁾ 飽和断面積 $\leq 2 \times 10^{-9} (\text{cm}^2/\text{bit})$
		コード用 RAM 及び 共有メモリ	飽和反転断面積 : $9.96 \times 10^{-10} (\text{cm}^2/\text{bit})$ を元に、各軌道における目標閾値 LET から Scrubbing Period ⁽⁴⁾ を算出した。 それぞれの軌道における各軌道における目標閾値 LET と Scrubbing Period を ⁽⁵⁾ に示す。
パッケージ	572 ピン CBGA		サイズ (標準) 26mm x 26mm

注 (1) プログラム格納領域として利用可能。ただし、外部メモリに対するアクセラレータは未実装。

注 (2) SEU 対策前飽和断面積の 1/100 の断面積となる LET の値

注 (3) スクラビング無しの時の値。EDAC 及びブスクラビング機能も備えている。

注 (4) Scrubbing Period は指定した範囲のメモリを全てリード・モディファイ・ライトするためにかかる時間を示す。

注 (5)

No	各軌道における目標閾値 LET ⁽⁶⁾	Scrubbing Period
1	ISS 軌道 ⁽⁷⁾ において LET 閾値 $\geq 25 \text{ MeV}/(\text{mg}/\text{cm}^2)$ 相当	327680 (秒)
2	GEO 軌道 ⁽⁷⁾ において LET 閾値 $\geq 40 \text{ MeV}/(\text{mg}/\text{cm}^2)$ 相当	1310 (秒)

注 (6) 飽和反転断面積を用いて LET 閾値 (飽和反転断面積が 1/100 になる LET) を逆算した結果。

注 (7) Scrubbing Period 算出時の軌道上フラックスの算出条件は以下の通り。

- ・アルミ遮蔽厚 : 2.54mm
- ・太陽活動 : Solar min

表 2.1-2 周辺 IP 一覧

IP 名称	概要	CPU 0		CPU 1		IP 仕様
		ユニット	ch	ユニット	ch	
SpW Engine	SpaceWire 通信機能	6	6	CPU0 と共有		
SpW Router	SpaceWire ルーター	2	6	CPU0 と共有		
MIL-STD-1553B	MIL-STD-1553B 通信機能	2	2	CPU0 と共有		
GPIO	汎用入出力	1	76	CPU0 と共有		
Ethernet (DualUse 用)	EthernetAVB 通信機能	2	2	CPU0 と共有		ルネサス社 RZ A1H 搭載品 (EthernetAVB) 相当
PWM (GPT)	汎用 PWM タイマ	1	4	1	4	ルネサス社 RX64M 搭載品 (GPTa) 相当
SPI	SPI 通信機能	1	1	1	1	ルネサス社 RX64M 搭載品 (RSPIa) 相当
多機能シリアル (SCI)	シリアル通信機能	2	2	2	2	ルネサス社 RX64M 搭載品 (SCIg) 相当
CRC	CRC 演算回路	1	1	1	1	ルネサス社 RX64M 搭載品 (CRC) 相当
DOC	データ演算回路	1	1	1	1	ルネサス社 RX64M 搭載品 (DOC) 相当
WDTA	ウォッチドッグタイマ	1	1	1	1	ルネサス社 RX64M 搭載品 (WDTA) 相当
OS タイマ	16/32bit コンペアマッチタイマ	5 (1)	5 (1)	5 (1)	5 (1)	ルネサス社 RX64M 搭載品 (CMTW) 相当 注 (1) 内 2ch は CPU0/1 共有
CMTW	16/32bit コンペアマッチタイマ	2	2	2	2	ルネサス社 RX64M 搭載品 (CMTW) 相当
TMR	8bit タイマ	1	1	1	1	ルネサス社 RX64M 搭載品 (TMR) 相当
CAN	CAN 通信機能	1	1	1	1	ルネサス社 RX64M 搭載品 (CAN) 相当
I2C (RIIC)	I2C 通信機能	1	1	1	1	ルネサス社 RX64M 搭載品 (RIICa) 相当
CPG	クロック生成回路	1	1	-	-	

表 2.1-3 セキュリティ機能及び暗号性能

機能大項目	機能小項目	機能概要
暗号・復号機能	データ暗号化機能	データの暗号化及び署名・認証コードを生成する機能
	暗号通信機能	通信データの内容を第三者に秘密にする機能
	秘密情報管理機能	秘密情報へのアクセスを制限する機能
改竄防止・検出機能	通信先認証機能	知らない相手との通信を禁止する機能
	ソフトウェア認証機能	正規以外のソフトウェアの動作を禁止する機能
	故障利用攻撃対策	仕様外の動作による秘密情報の漏洩を防止する機能
暗号性能		
安全性指標が 128bit セキュリティ		

2.2 外観，寸法

ケース外形及び寸法を図 2-1 に、表示内容を図 2-2 に示す。

2.3 質量

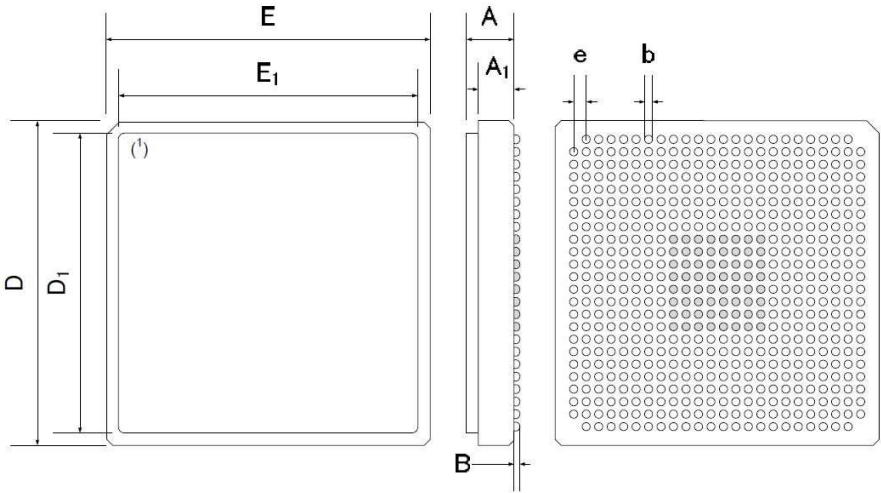
質量(参考値) : 7.6g ~ 12.0g (Typ. 9.7g) ⁽¹⁾

注(1) セラミックパッケージ等の質量バラツキを元に算出した設計値。

なお、組立 3 ロットの質量バラツキ(実績)は、9.5g ~ 9.8g。

2.4 素子構造

CMOS のペレットを 1 個内蔵した、セラミックパッケージに Fe-Ni-Co 合金リッドをシーム溶接でシールされた気密構造の Ball Grid Array 型集積回路である。素子構造を図 2-3 に示す。



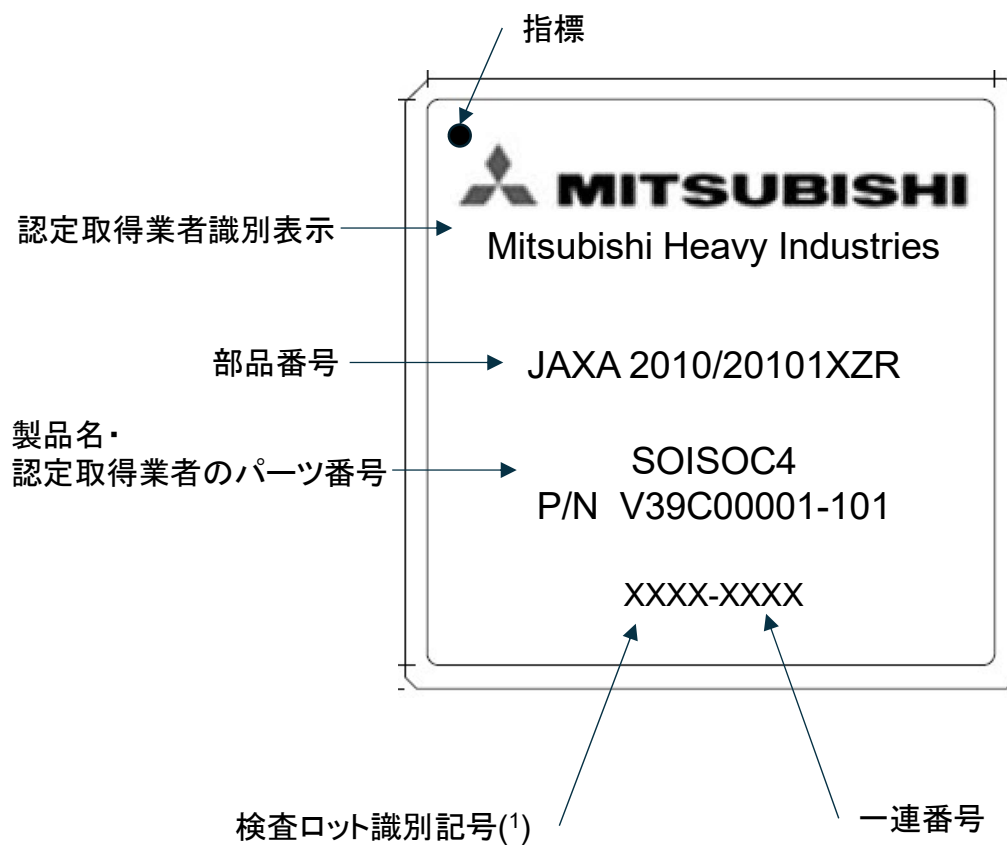
- ・パッケージ材質：セラミック、Fe-Ni-Co 合金
- ・はんだ端子材質：Sn10/Pb90(中央 8×8 端子)、Sn63/Pb37(外周端子)

単位：mm

記号	寸法		注
	最小	最大	
A	3.45	4.15	
A ₁	2.55	3.15	
B	0.40	0.60	
b	0.60	0.80	(²)
D	25.80	26.20	
D ₁	24.00	24.40	(³)
E	25.80	26.20	
E ₁	24.00	24.40	(³)
e	1.00 標準		(²)

- 注(1) 指標領域
- (2) すべての端子に適用
- (3) リッドのずれ、シームリングのロウ付け等を含む。

図2-1 ケース外形



注⁽¹⁾ 組立を開始した西暦の下2桁と月2桁の計4桁の数字を印字する。
例えば、2023年6月製造の場合、「2306」と印字する。

図2-2 表示内容

(a) 表面

リッド
・ Fe-Ni-Co合金



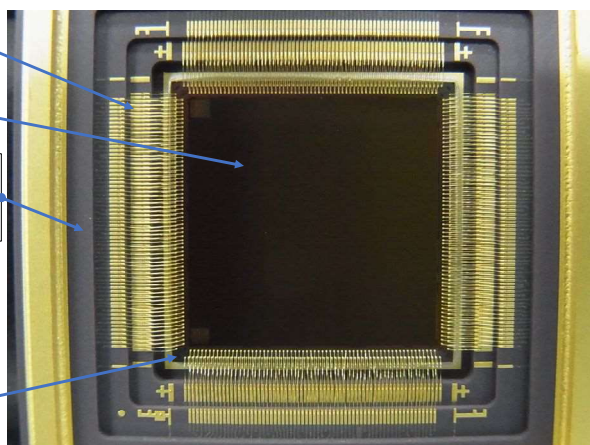
(b) 開封時

ボンディングワイヤ
・ Au (25 μ m Φ)

ダイ
・ Si, CMOS構造

パッケージ
・ Fe-Ni-Co合金、
アルミナセラミック

ダイ・ボンド
・ 導電性接着剤



(c) 裏面

はんだボール
・ Sn10/Pb90 (中央8 $\times$ 8ボール)
・ Sn63/Pb37 (外周ボール)

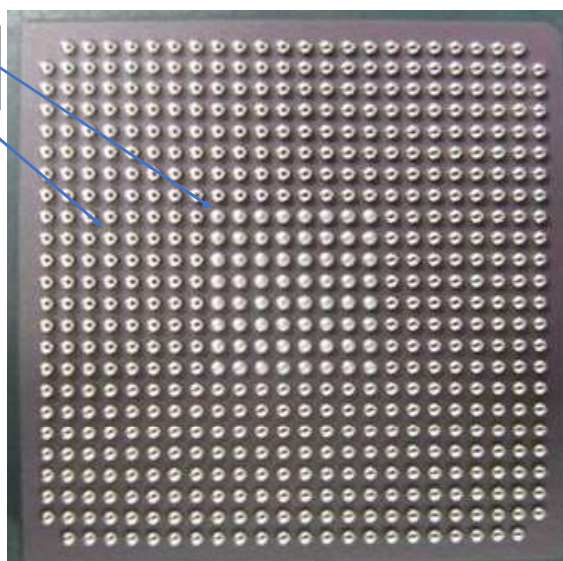


図2-3 素子構造の概略

3. 使用方法

3.1 絶対最大定格

絶対最大定格を表3-1に示す。

表3-1 絶対最大定格

項 目		記号	Min.	Max	単位
電源電圧		V_{CCQ}	-0.3	4.6	V
		V_{DD}	-0.3	1.4	V
入力電圧 (1)		V_{in}	-0.3	$V_{CCQ} + 0.3$	V
出力電圧		V_O	-0.3	$V_{CCQ} + 0.3$	V
出力電流	8mA バッファ	$I_{O(8mA)}$	-90	86	mA
	24mA バッファ	$I_{O(24mA)}$	-266	267	mA
保存温度		T_{stg}	-55	+150	°C
接合部温度		T_j	-40	+125	°C

注 (1) +4.6V を超えないこと。

3.2 推奨動作条件

推奨動作条件を表3-2に示す。

表3-2 推奨動作条件

項 目		記号	Min.	Typ.	Max	単位
電源電圧範囲		V_{CCQ}	3.0	3.3	3.6	V
		V_{DD}	1.11	1.2	1.29	V
高レベル入力電圧		V_{IH}	$0.7 \times V_{CCQ}$	—	$V_{CCQ} + 0.3$	V
低レベル入力電圧		V_{IL}	-0.3	—	$0.2 \times V_{CCQ}$	V
動作ボード表面温度		T_b (1)	-37 (5)	—	+120	°C
動作接合部温度		T_j (2)	-40 (6)	—	+125	°C
外部入力クロック周波数	チップ内 PLL 使用時	f_{extclk}	—	20	—	MHz
	チップ内 PLL 未使用時		—	100	—	MHz

注 (1) ボード表面（チップ端の直下）の温度。

注 (2) T_j は、次式により与えられる。

$$T_j = T_b + \theta_{j-b} \times P_D$$

ここで T_b ; 動作ボード表面温度(°C)

θ_{j-b} ; 接合部・ボード間標準熱抵抗 (1.8 °C/W) (3)

P_D ; 消費電力(1.8W) (4)

注⁽³⁾ シミュレーションで算出した「ジャンクションーボード表面（チップ端の直下）」間の熱抵抗。熱抵抗のシミュレーション結果を表 3-3 に示す。

尚、参考情報として、シミュレーションで算出した「ジャンクションーケース（シールリング部）」間の熱抵抗： θ_{j-c} は、7.1 (°C/W) となる。絶対最大定格： T_{jmax} を超えないように熱設計を行うこと。

注⁽⁴⁾ 消費電力ワースト条件（製造プロセス：fast コーナー、温度：125°C、 V_{DD} 電圧：1.29V、 V_{CCQ} 電圧：3.6V、トグル率：10%、動作周波数：160MHz、I/O の消費電力含む）でのシミュレーション結果。

注⁽⁵⁾ パッケージ形態の試験条件の上限値で規定。

注⁽⁶⁾ ウェハ形態の試験条件の上限値で規定。

表3-3 熱抵抗

項 目		熱抵抗	単位
ジャンクションーボード表面間	チップ中央	0.8	°C/W
	チップ端	1.8	°C/W
ジャンクションーシールリング上面		7.1	°C/W

3.3 回路設計上の注意事項

無し。

3.4 推奨取付方法

回路設計に際しては、絶対最大定格に対して十分余裕のある設計を行うこと。推奨動作範囲内で使用することが望ましい。

4. 通常状態における特性

4.1 電気的特性

a) 電気的特性

電気的特性として、表 4-1 に DC 特性、表 4-2 に AC 特性を示す。

b) システムブロック

システムブロック図を図4-40に示す。

c) 端子配置

端子配置を図 4-41 と表 4-3 に示す。

表4-1 電氣的特性(DC 特性)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C)

項目		記号	Min.	Max	単位	条件
入力電圧		V _{IL}	—	0.2 x VCCQ	V	—
		V _{IH}	0.7 x VCCQ	—	V	—
入力リーク		I _{IL}	-0.6	0.6	μA	—
		I _{IH}	-0.6	0.6	μA	—
出力電圧	8mA バッファ	V _{OL(8mA)}	—	0.4	V	I _{OL} =8mA
	24mA バッファ	V _{OL(24mA)}	—	0.4	V	I _{OL} =24mA
	8mA バッファ	V _{OH(8mA)}	0.8 x VCCQ	—	V	I _{OH} =8mA
	24mA バッファ	V _{OH(24mA)}	0.8 x VCCQ	—	V	I _{OH} =24mA

表 4-2 電気的特性(AC 特性)(1/13) (パワーオンシーケンス)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C)

項目	記号	min	typ	max	単位	タイミング図 ⁽³⁾
外部信号 (EXT_GLK) の クロック周期	t _{cyc}	–	50 ⁽¹⁾ 10 ⁽²⁾	–	ns ns	図 4-1、 図 4-2
リセット解除時間 (電源電圧安定後から リセット解除までの時 間)	t _{PLL_RST}	1	–	–	ms	
外部信号 (PLL_SEL) 保持時間	t _{PLL_SEL}	3	–	–	t _{cyc}	
PLL ロックアップ時間	t _{PLL_LUP}	–	–	50	us	
内部リセット解除時間	t _{RST}	–	1024	–	t _{cyc}	

注⁽¹⁾ 内部 PLL 使用時注⁽²⁾ 内部 PLL 未使用時注⁽³⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。

表4-2 電气的特性(AC 特性)(2/13) (CS 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽¹⁾
アドレス遅延時間	t _{AD}	2.8	15.4	ns	図4-3 ～ 図4-8
バイトコントロール遅延時間	t _{BCD}	2.8	15.4	ns	
CS#遅延時間	t _{CSD}	2.8	15.4	ns	
ALE 遅延時間	t _{ALED}	2.8	15.4	ns	
RD#遅延時間	t _{RSD}	2.8	15.4	ns	
リードデータセットアップ時間	t _{RDS}	12.78	—	ns	
リードデータホールド時間	t _{RDH}	3	—	ns	
WR#遅延時間	t _{WRD}	2.8	15.4	ns	
ライトデータ遅延時間	t _{WDD}	1.7	15.4	ns	
ライトデータホールド時間	t _{WDH}	2.8	—	ns	
WAIT#セットアップ時間	t _{WTS}	12.78	—	ns	図4-9
WAIT#ホールド時間	t _{WTH}	3	—	ns	
アドレス遅延時間 2(SDRAM)	t _{AD2}	2.8	15.4	ns	図4-10 ～図4-12
CS#遅延時間 2(SDRAM)	t _{CSD2}	2.8	15.4	ns	
DQM 遅延時間(SDRAM)	t _{DQMD}	2.8	15.4	ns	
CKE 遅延時間(SDRAM)	t _{CKED}	2.8	15.4	ns	
リードデータセットアップ時間 2(SDRAM)	t _{RDS2}	12.78	—	ns	
リードデータホールド時間 2(SDRAM)	t _{RDH2}	3	—	ns	
ライトデータ遅延時間 2(SDRAM)	t _{WDD2}	1.7	15.4	ns	
ライトデータホールド時間 2(SDRAM)	t _{WDH2}	2.8	—	ns	
WE#遅延時間(SDRAM)	t _{WED}	2.8	15.4	ns	
RAS#遅延時間(SDRAM)	t _{RASD}	2.8	15.4	ns	
CAS#遅延時間(SDRAM)	t _{CASD}	2.8	15.4	ns	

注⁽¹⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。

表4-2 電気的特性(AC 特性)(3/13) (SYSTEM 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C)

項目	記号	min	max	単位	タイミング図 ⁽¹⁾
NMI パルス幅	t _{NMIOUT}	200	–	ns	図4-13
IRQ パルス幅	t _{IRQOUT}	200	–	ns	図4-14

注⁽¹⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。

表4-2 電気的特性(AC 特性)(4/13) (JTAG 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽¹⁾
TCK クロック High レベルパルス幅	t _{TCKH}	45	–	ns	図4-15
TCK クロック Low レベルパルス幅	t _{TCKL}	45	–	ns	
TCK クロック立ち上がり時間	t _{TCKr}	–	5	ns	
TCK クロック立ち下がり時間	t _{TCKf}	–	5	ns	
TRST#パルス幅	(t _{TRSTW})	20	–	ns	図4-16
TMS セットアップ時間	t _{TMSS}	20	–	ns	図4-17
TMS ホールド時間	t _{TMSH}	20	–	ns	
TDI セットアップ時間	t _{TDIS}	20	–	ns	
TDI ホールド時間	t _{TDIH}	20	–	ns	
TDO データ遅延時間	t _{TDOD}	0	40	ns	

注⁽¹⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。

表4-2 電気的特性(AC 特性)(5/13) (Ethernet 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37℃～+120℃、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽¹⁾
ET_TXCLK サイクル時間	t _{Tcyc}	40	—	ns	図4-18～図4-22
ET_TXCLK ハイレベル幅	t _{TCKWH}	0.35 × t _{Tcyc}	—	ns	
ET_TXCLK ローレベル幅	t _{TCKWL}	0.35 × t _{Tcyc}	—	ns	
ET_TXEN 出力遅延時間	t _{TEND}	0	25	ns	
ET_TXD[3:0]出力遅延時間	t _{TDD}	0	25	ns	
ET_RXCLK サイクル時間	t _{Rcyc}	40	—	ns	
ET_RXCLK ハイレベル幅	t _{RCKWH}	0.35 × t _{Rcyc}	—	ns	
ET_RXCLK ローレベル幅	t _{RCKWL}	0.35 × t _{Rcyc}	—	ns	
ET_RXDV セットアップ時間	t _{RDVS}	10	—	ns	
ET_RXDV ホールド時間	t _{RDVH}	10	—	ns	
ET_RXD[3:0]セットアップ時間	t _{RDDS}	10	—	ns	
ET_RXD[3:0]ホールド時間	t _{RDDH}	10	—	ns	
ET_RXER セットアップ時間	t _{RERS}	10	—	ns	
ET_RXER ホールド時間	t _{RERH}	10	—	ns	
AVB_GPTP_EXTERN サイクル時間	t _{Gcyc}	40	—	ns	
AVB_GPTP_EXTERN ハイレベル幅	t _{GCKWH}	0.35 × t _{Gcyc}	—	ns	
AVB_GPTP_EXTERN ローレベル幅	t _{GCKWL}	0.35 × t _{Gcyc}	—	ns	
AVB_CAPTURE ハイレベル幅	t _{CAPWH}	2 × t _{Gcyc}	—	ns	
ET_CRS セットアップ時	t _{CRSs}	10	—	ns	図4-23
ET_CRS ホールド時間	t _{CRSh}	10	—	ns	
ET_COL セットアップ時間	t _{COLs}	10	—	ns	図4-24
ET_COL ホールド時間	t _{COLh}	10	—	ns	

注⁽¹⁾ t_{Tcyc}、t_{Rcyc}、t_{Gcyc} のタイミングの電圧閾値は「VCCQ×0.5」とする。その他のタイミングの電圧閾値は、「V_{OH}=0.7×VCCQ、V_{OL}=0.3×VCCQ、V_{IH}=0.7×VCCQ、V_{IL}=0.3×VCCQ」とする。

表4-2 電気的特性(AC 特性)(6/13) (GPT 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
インプットキャプチャ入力パルス幅(単エッジ指定)	t _{GTICW1}	3	—	t _{PAcyc} ⁽¹⁾	図4-25
インプットキャプチャ入力パルス幅(両エッジ指定)	t _{GTICW2}	5	—	t _{PAcyc} ⁽¹⁾	
外部トリガ入力パルス幅(単エッジ指定)	t _{OTETW1}	1.5	—	t _{PAcyc} ⁽¹⁾	図4-26
外部トリガ入力パルス幅(両エッジ指定)	t _{OTETW2}	2.5	—	t _{PAcyc} ⁽¹⁾	

注⁽¹⁾ t_{PAcyc}: PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。

表4-2 電気的特性(AC 特性)(7/13) (TMR 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
タイマクロックパルス幅 単エッジ指定	t _{TMCWH}	1.5	—	t _{PBcyc} ⁽¹⁾	図4-27
タイマクロックパルス幅 両エッジ指定	t _{TMCWL}	2.5	—	t _{PBcyc} ⁽¹⁾	

注⁽¹⁾ t_{PBcyc}: PCLKB の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。

表4-2 電気的特性(AC 特性)(8/13) (RSPI 機能(1/2))

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
RSPCK クロックサイクル (マスタ)	t _{SPcyc1}	2	4096	t _{PAcyc} ⁽¹⁾	図4-28
RSPCK クロックサイクル (スレーブ)	t _{SPcyc2}	8	4096	t _{PAcyc} ⁽¹⁾	
RSPCK クロック High レベルパルス幅(マスタ)	t _{SPCKWH}	$(t_{SPcyc1} - t_{SPCKr} - t_{SPCKf})/2 - 3$	—	ns	
RSPCK クロック High レベルパルス幅(スレーブ)	t _{SPCKWH}	$(t_{SPcyc2} - t_{SPCKr} - t_{SPCKf})/2$	—	ns	
RSPCK クロック Low レベルパルス幅(マスタ)	t _{SPCKWL}	$(t_{SPcyc1} - t_{SPCKr} - t_{SPCKf})/2 - 3$	—	ns	
RSPCK クロック Low レベルパルス幅(スレーブ)	t _{SPCKWL}	$(t_{SPcyc2} - t_{SPCKr} - t_{SPCKf})/2$	—	ns	
RSPCK クロック立ち上がり/立ち下がり時間(出力) ⁽³⁾	t _{SPCKr} , t _{SPCKf}	—	5	ns	
RSPCK クロック立ち上がり/立ち下がり時間(入力)	t _{SPCKr} , t _{SPCKf}	—	1	μs	
データ入力セットアップ時間(マスタ)	t _{SU}	6	—	ns	図4-29～ 図4-34
データ入力セットアップ時間(スレーブ)	t _{SU}	8.3 - t _{PAcyc} ⁽¹⁾	—	ns	
データ入力ホールド時間 (マスタ、PCLKA を 2 分周に設定)	t _{HF}	0	—	ns	
データ入力ホールド時間 (マスタ、PCLKA を 2 分周以外に設定)	t _H	t _{PAcyc}	—	ns	
データ入力ホールド時間 (スレーブ)	t _H	8.3 + 2 × t _{PAcyc} ⁽¹⁾	—	ns	
SS 入力セットアップ時間 (マスタ)	t _{LEAD}	1	8	t _{SPcyc1}	
SS 入力セットアップ時間 (スレーブ)	t _{LEAD}	4	—	t _{PAcyc} ⁽¹⁾	

注⁽¹⁾ t_{PAcyc}: PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表4-2 電気的特性(AC 特性)(8/13) (RSPI 機能(2/2))

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
SS 入力ホールド時間 (マスタ)	t_{LAG}	1	8	t_{SPCyc1}	図4-29～ 図4-34
SS 入力ホールド時間 (スレーブ)	t_{LAG}	4	—	$t_{PAcyc}^{(1)}$	
データ出力遅延時間(マスタ)	t_{OD}	—	6.3	ns	
データ出力遅延時間 (スレーブ)	t_{OD}	—	$3 \times t_{PAcyc} + 20$	ns	
データ出力ホールド時間 (マスタ)	t_{OH}	0	—	ns	
データ出力ホールド時間 (スレーブ)	t_{OH}	0	—	ns	
連続送信遅延時間(マスタ)	t_{TD}	$t_{SPCyc1} + 2 \times t_{PAcyc}$	$8 \times t_{SPCyc1} + 2 \times t_{PAcyc}$	ns	
連続送信遅延時間(スレーブ)	t_{TD}	$4 \times t_{PAcyc}$	—	ns	
MOSI 立ち上がり時間/立ち下がり時間(マスタ) ⁽³⁾	t_{Dr}, t_{Df}	—	5	ns	
MISO 立ち上がり時間/立ち下がり時間(スレーブ)	t_{Dr}, t_{Df}	—	1	μs	
SS 入力立ち上がり/立ち下がり時間(出力) ⁽³⁾	t_{SSLr}, t_{SSLf}	—	5	ns	
SS 入力立ち上がり/立ち下がり時間(入力)	t_{SSLr}, t_{SSLf}	—	1	μs	
スレーブアクセス時間	t_{SA}	—	4	$t_{PAcyc}^{(1)}$	図4-33
スレーブ出力開放時間	t_{REL}	—	3	$t_{PAcyc}^{(1)}$	図4-34

注⁽¹⁾ t_{PAcyc} : PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表4-2 電気的特性(AC 特性)(9/13) (簡易 SPI 機能(SCIF))

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
SCK クロックサイクル出力(マスタ)	tSPcyc1	4	65536	tPAcyc ⁽¹⁾	図4-28
SCK クロックサイクル入力(スレーブ)	tSPcyc2	6	65536	tPAcyc ⁽¹⁾	
SCK クロック High レベルパルス幅	tSPCKWH	0.4	0.6	tSPcyc1 tSPcyc2	
SCK クロック Low レベルパルス幅	tSPCKWL	0.4	0.6	tSPcyc1 tSPcyc2	
SCK クロック立ち上がり時間 ⁽³⁾	tSPCKr	—	5	ns	
SCK クロック立ち下がり時間 ⁽³⁾	tSPCKf	—	5	ns	
データ入力セットアップ時間(マスタ)	tSU	15	—	ns	図4-29～図4-32
データ入力セットアップ時間(スレーブ)	tSU	5	—	ns	
データ入力ホールド時間	tH	5	—	ns	
SS 入力セットアップ時間	tLEAD	1	—	tSPcyc1 tSPcyc2	
SS 入力ホールド時間	tLAG	1	—	tSPcyc1 tSPcyc2	
データ出力遅延時間(マスタ)	tOD	—	5	ns	
データ出力遅延時間(スレーブ)	tOD	—	25	ns	
データ出力ホールド時間	tOH	-5	—	ns	
データ立ち上がり時間 ⁽³⁾	tDr	—	5	ns	
データ立ち下がり時間 ⁽³⁾	tDf	—	5	ns	
SS 入力立ち上がり時間 ⁽³⁾	tSSLr	—	5	ns	
SS 入力立ち下がり時間 ⁽³⁾	tSSLf	—	5	ns	
スレーブアクセス時間	tSA	—	3 xtPcyc +25	tPAcyc ⁽¹⁾	図4-33
スレーブ出力開放時間	tREL	—	3 xtPcyc +25	tPAcyc ⁽¹⁾	図4-34

注⁽¹⁾ tPAcyc: PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表4-2 電气的特性(AC 特性)(10/13) (簡易 SPI 機能(SCI))

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C~+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
SCK クロックサイクル出力(マスタ)	t _{SPCyc1}	4	6553 6	t _{PBcyc} ⁽¹⁾	図4-28
SCK クロックサイクル入力(スレーブ)	t _{SPCyc2}	8	6553 6	t _{PBcyc} ⁽¹⁾	
SCK クロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPcyc1} t _{SPcyc2}	
SCK クロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPcyc1} t _{SPcyc2}	
SCK クロック立ち上がり時間 ⁽³⁾	t _{SPCKr}	—	20	ns	
SCK クロック立ち下がり時間 ⁽³⁾	t _{SPCKf}	—	20	ns	
データ入力セットアップ時間	t _{SU}	33.3	—	ns	図4-29~図 4-32
データ入力ホールド時間	t _H	33.3	—	ns	
SS 入力セットアップ時間	t _{LEAD}	1	—	t _{SPcyc1} t _{SPcyc2}	
SS 入力ホールド時間	t _{LAG}	1	—	t _{SPcyc1} t _{SPcyc2}	
データ出力遅延時間	t _{OD}	—	33.3	ns	
データ出力ホールド時間	t _{OH}	-10	—	ns	
データ立ち上がり時間 ⁽³⁾	t _{Dr}	—	16.6	ns	
データ立ち下がり時間 ⁽³⁾	t _{Df}	—	16.6	ns	
SS 入力立ち上がり時間 ⁽³⁾	t _{SSLr}	—	16.6	ns	
SS 入力立ち下がり時間 ⁽³⁾	t _{SSLf}	—	16.6	ns	
スレーブアクセス時間	t _{SA}	—	5	t _{PBcyc} ⁽¹⁾	図4-33
スレーブ出力開放時間	t _{REL}	—	5	t _{PBcyc} ⁽¹⁾	図4-34

注⁽¹⁾ t_{PBcyc}: PCLKB の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表4-2 電気的特性(AC 特性)(11/13) (SCIF 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37℃～+120℃、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
入力クロックサイクル調歩同期	t _{Scyc1}	4	–	t _{PAcyc} ⁽¹⁾	図4-35
入力クロックサイクルクロック同期	t _{Scyc2}	6	–	t _{PAcyc} ⁽¹⁾	
入力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc1} t _{Scyc2}	
入力クロック立ち上がり時間	t _{SCKr}	–	5	ns	
入力クロック立ち下がり時間	t _{SCKf}	–	5	ns	
出力クロックサイクル調歩同期	t _{Scyc1}	8	–	t _{PAcyc} ⁽¹⁾	
出力クロックサイクルクロック同期	t _{Scyc2}	4	–	t _{PAcyc} ⁽¹⁾	
出力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc1} t _{Scyc2}	
出力クロック立ち上がり時間 ⁽³⁾	t _{SCKr}	–	5	ns	
出力クロック立ち下がり時間 ⁽³⁾	t _{SCKf}	–	5	ns	
送信データ遅延時間マスタ	t _{TXD1}	–	5	ns	図4-36
送信データ遅延時間スレーブ	t _{TXD2}	–	25	ns	
受信データセットアップ時間マスタ	t _{rxs1}	15	–	ns	
受信データセットアップ時間スレーブ	t _{rxs2}	5	–	ns	
受信データホールド時間マスタ	t _{RXH1}	5	–	ns	
受信データホールド時間スレーブ	t _{RXH2}	5	–	ns	

注⁽¹⁾ t_{PAcyc}: PCLKA の周期注⁽²⁾ タイミングの電圧閾値は「VCCQx0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表4-2 電気的特性(AC 特性)(12/13) (SCI 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
入力クロックサイクル調歩同期	t _{Scyc1}	4	–	t _{PBcyc} ⁽¹⁾	図4-37
入力クロックサイクルクロック同期	t _{Scyc2}	6	–	t _{PBcyc} ⁽¹⁾	
入力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc1} t _{Scyc2}	
入力クロック立ち上がり時間	t _{SCKr}	–	5	ns	
入力クロック立ち下がり時間	t _{SCKf}	–	5	ns	
出力クロックサイクル調歩同期	t _{Scyc1}	8	–	t _{PBcyc} ⁽¹⁾	
出力クロックサイクルクロック同期	t _{Scyc2}	4	–	t _{PBcyc} ⁽¹⁾	
出力クロックパルス幅	t _{SCKW}	0.4	0.6	t _{Scyc1} t _{Scyc2}	
出力クロック立ち上がり時間 ⁽³⁾	t _{SCKr}	–	5	ns	
出力クロック立ち下がり時間 ⁽³⁾	t _{SCKf}	–	5	ns	
送信データ遅延時間クロック同期	t _{TXD}	–	28	ns	図4-38
受信データセットアップ時間クロック同期	t _{rxs}	15	–	ns	
受信データホールド時間クロック同期	t _{RXH}	5	–	ns	

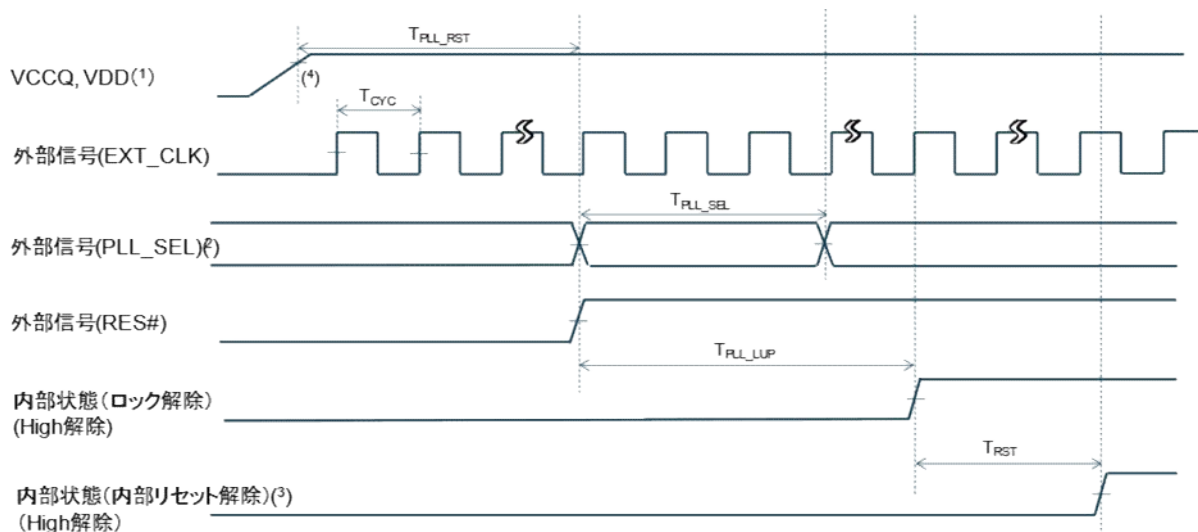
注⁽¹⁾ t_{PBcyc}: PCLKB の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。注⁽³⁾ 諸特性評価試験でプロセス水準内を確認した結果、十分マージンがあることを確認済みの為、全数試験は実施しない。

表4-2 電気的特性(AC 特性)(13/13) (CMTW 機能)

(VCCQ=3.3±0.3V、VDD=1.2±0.09V、Tb=-37°C～+120°C、出力負荷容量=73pF)

項目	記号	min	max	単位	タイミング図 ⁽²⁾
インプットキャプチャ入力 パルス幅単エッジ指定	t _{CMTWTICW1}	1.5	–	t _{PBcyc} (¹)	図4-39
インプットキャプチャ入力 パルス幅両エッジ指定	t _{CMTWTICW2}	2.5	–	t _{PBcyc} (¹)	

注⁽¹⁾ t_{PBcyc}: PCLKB の周期注⁽²⁾ タイミングの電圧閾値は「VCCQ×0.5」とする。異なる場合、タイミング図の注記に示す。
の注記に示す。



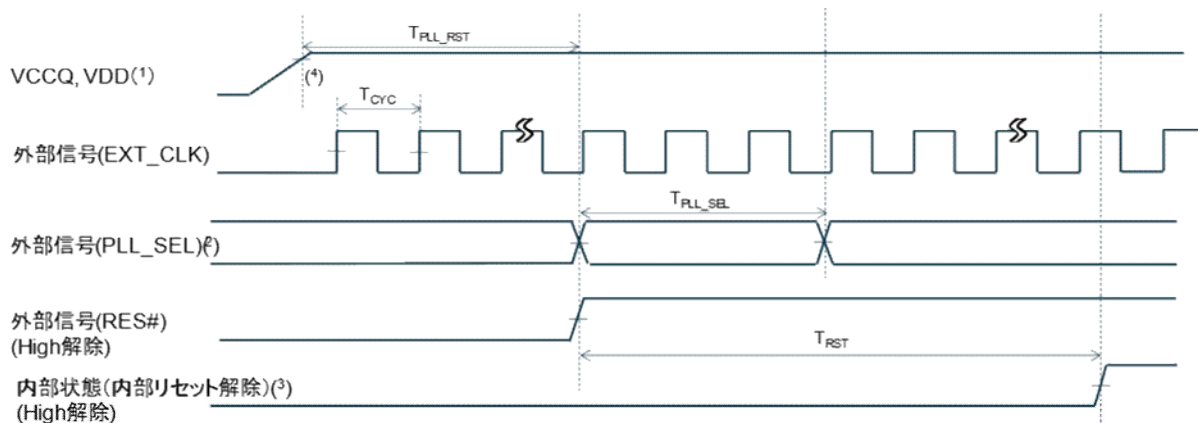
注⁽¹⁾ 電源投入シーケンスは、内部ロジック用電源VDD(1.2V)→IO用電源:VCCQ(3.3V)の順、又は同時に推奨する。

注⁽²⁾ 外部信号(RES#)の立上りから最低 T_{PLL_SEL} 期間は値を保持する。外部信号(RES#)の立上り前から値を設定しても問題なし。

注⁽³⁾ 内部リセット解除後、内部クロック(ICLK)で約25クロック後にCS領域へアクセスを開始する。

注⁽⁴⁾ T_{PLL_RST} は電源電圧が表2の推奨動作条件の電源電圧範囲内で安定した時間を起点とする。

図4-1 パワーオンシーケンスのタイミング（内部 PLL 使用時）



注⁽¹⁾ 電源投入シーケンスは、内部ロジック用電源: VDD(1.2V)→IO用電源: VCCQ(3.3V)の順、又は同時に推奨する。

注⁽²⁾ 外部信号(RES#)の立上りから最低 T_{PLL_SEL} 期間は値を保持する。外部信号(RES#)の立上り前から値を設定しても問題なし。

注⁽³⁾ 内部リセット解除後、内部クロック(ICLK)で約25クロック後にCS領域へアクセスを開始する。

注⁽⁴⁾ T_{PLL_RST} は電源電圧が表2の推奨動作条件の電源電圧範囲内で安定した時間を起点とする。

図4-2 パワーオンシーケンスのタイミング（内部 PLL 未使用時）

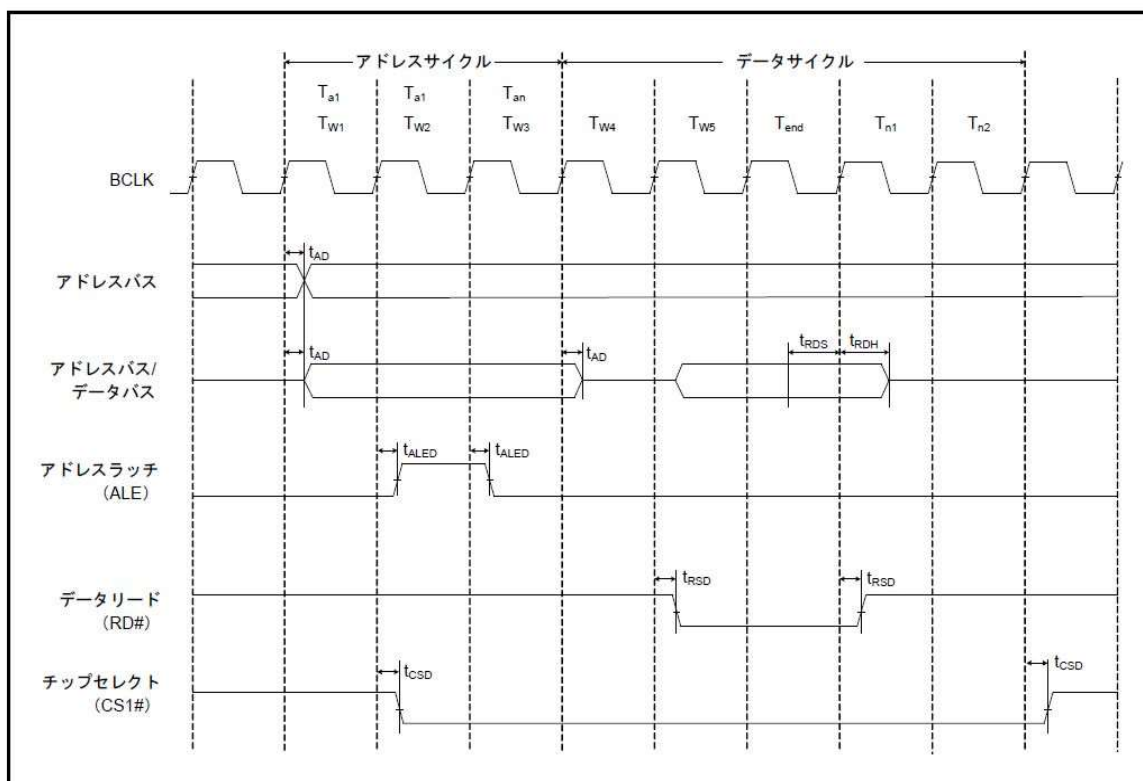


図4-3 アドレス/データマルチプレクスバスのリードアクセスタイミング

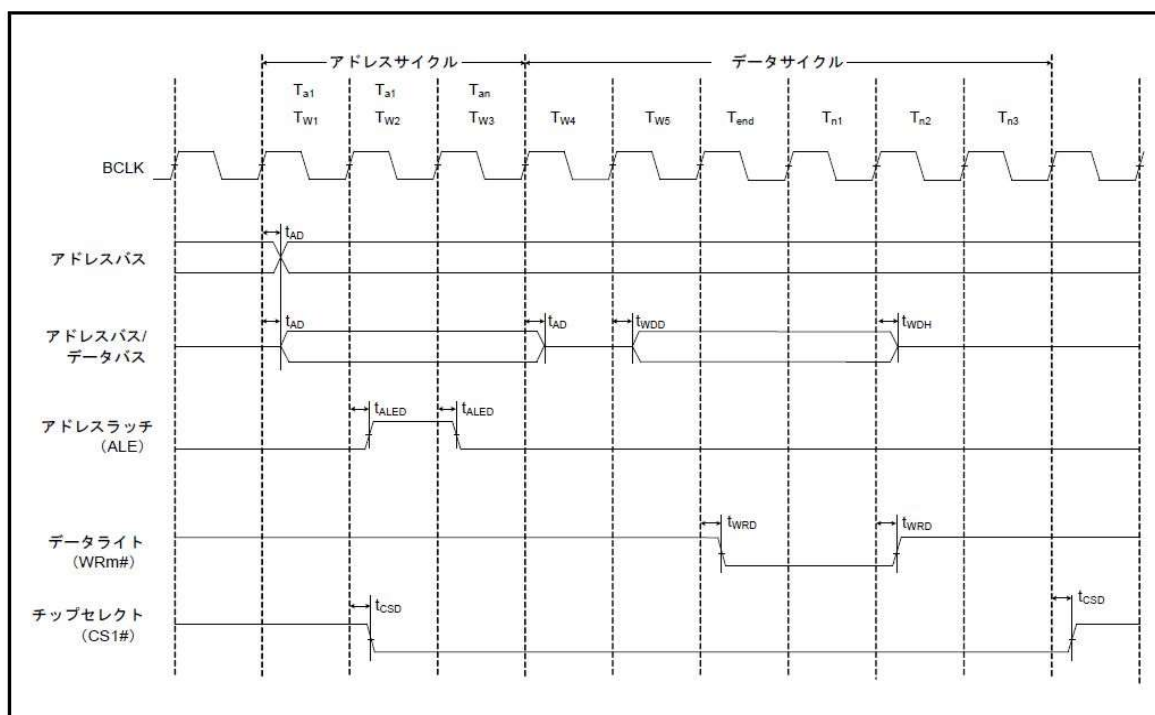


図4-4 アドレス/データマルチプレクスバスのライトアクセスタイミング

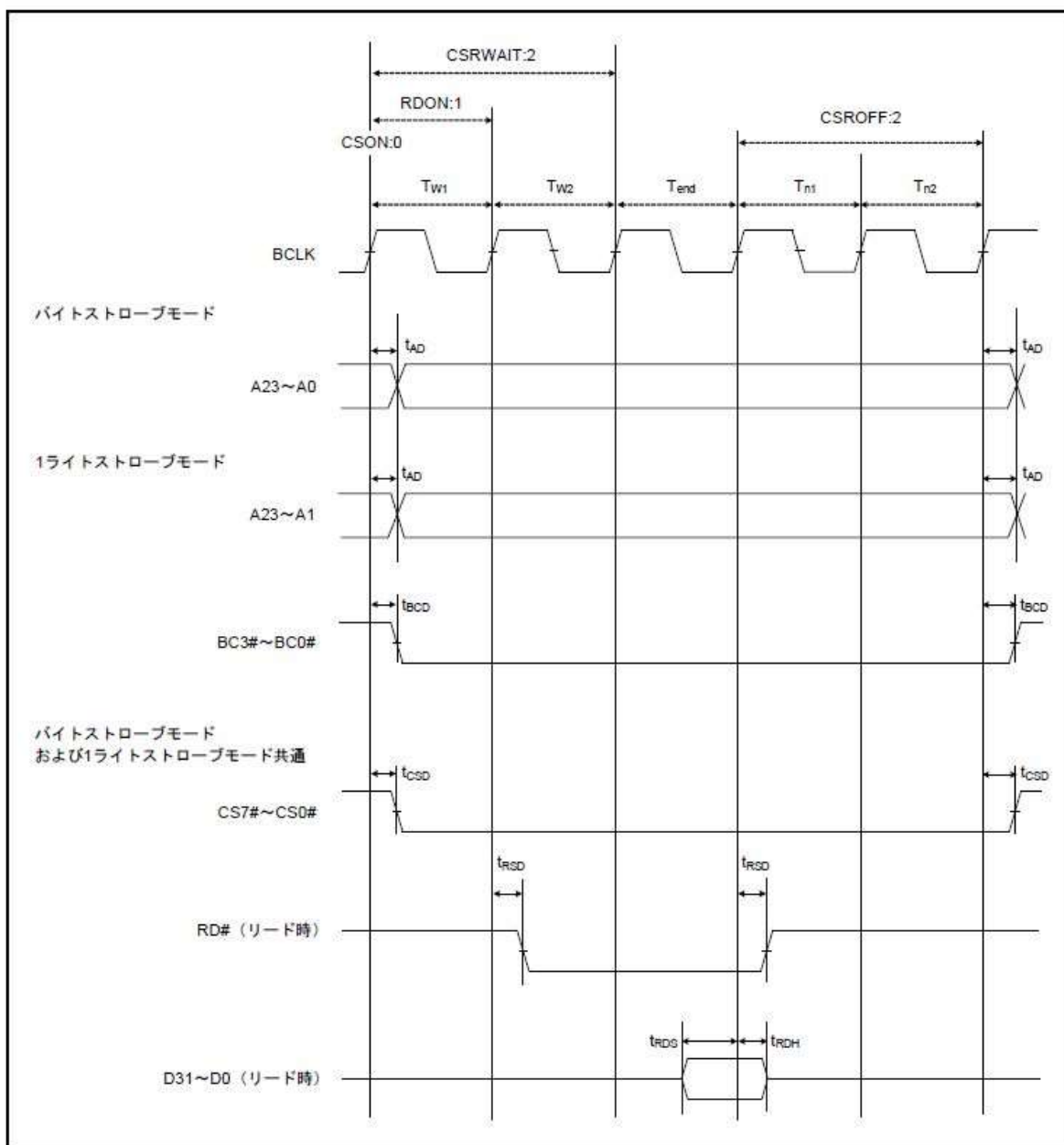


図4-5 外部バスタイミング/ノーマルリードサイクル(バスクロック同期)

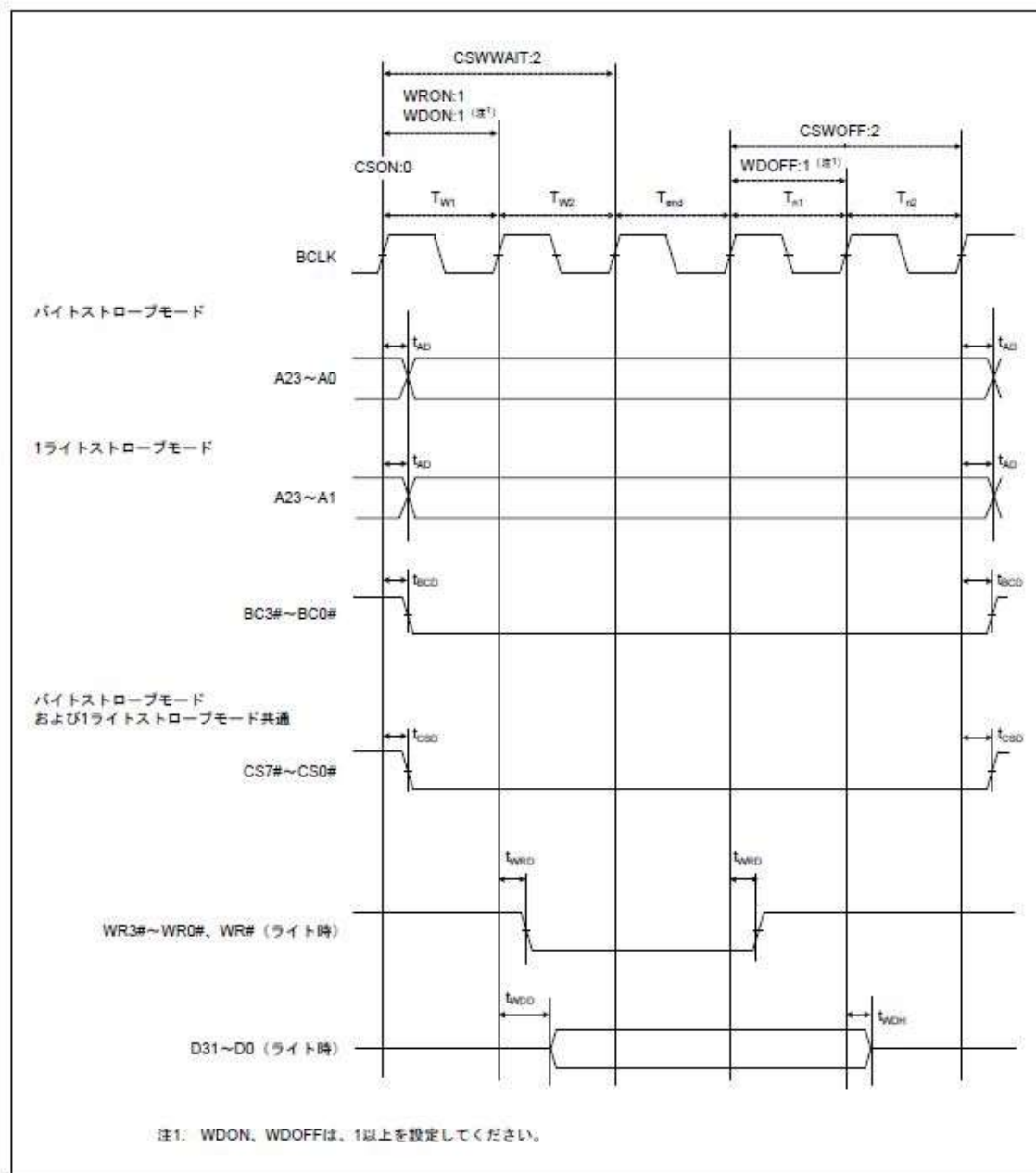


図4-6 外部バスタイミング/ノーマルライトサイクル(バスクロック同期)

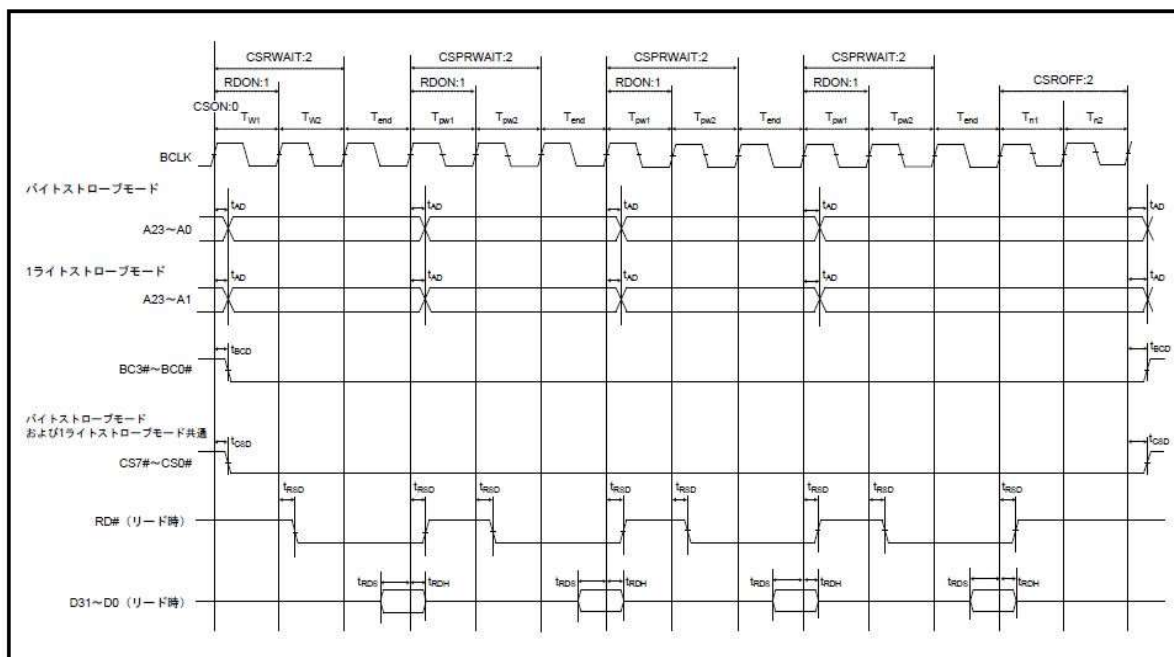


図4-7 外部バスタイミング/ページリードサイクル(バスクロック同期)

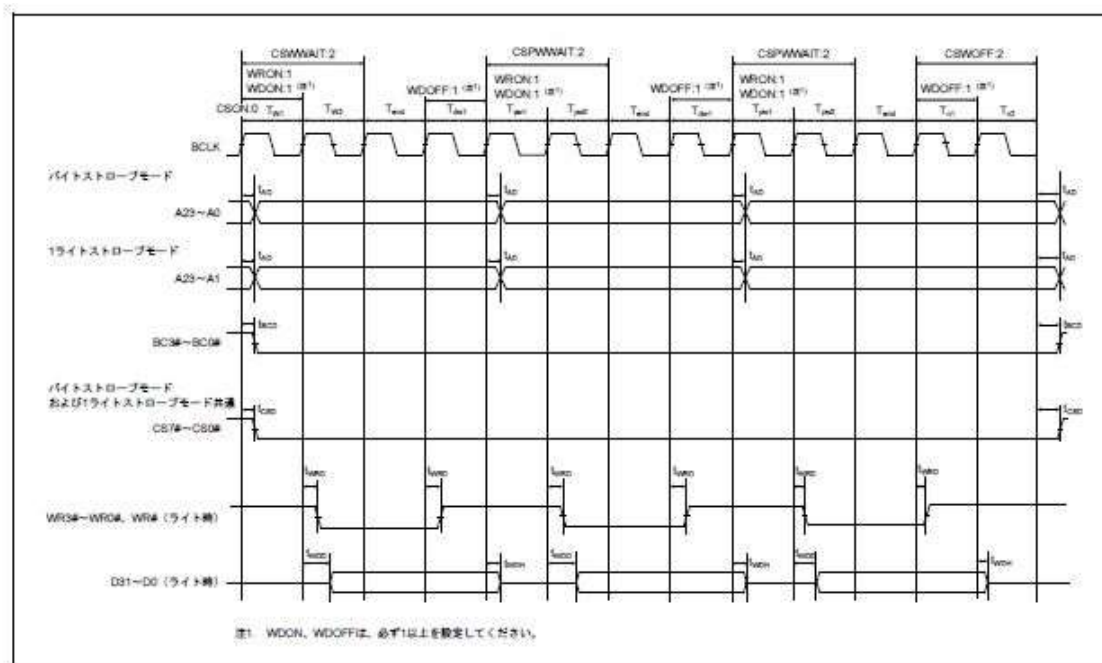


図4-8 外部バスタイミング/ページライトサイクル(バスクロック同期)

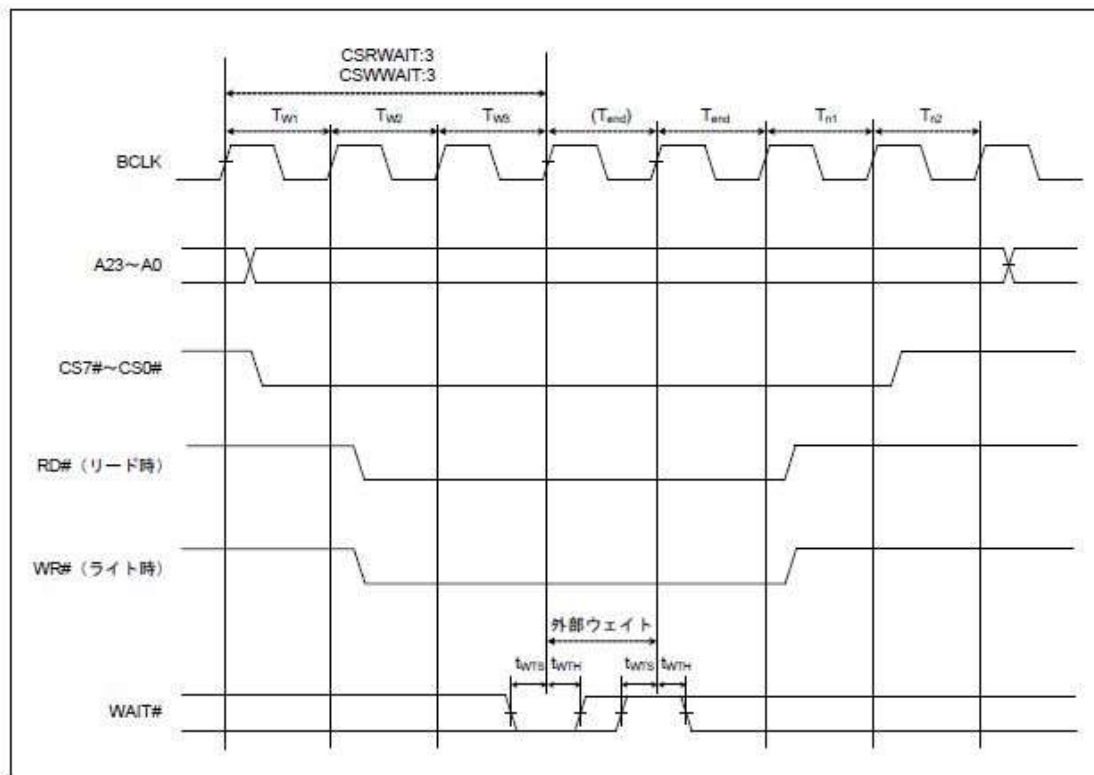


図4-9 外部バスタイミング/外部ウェイト制御

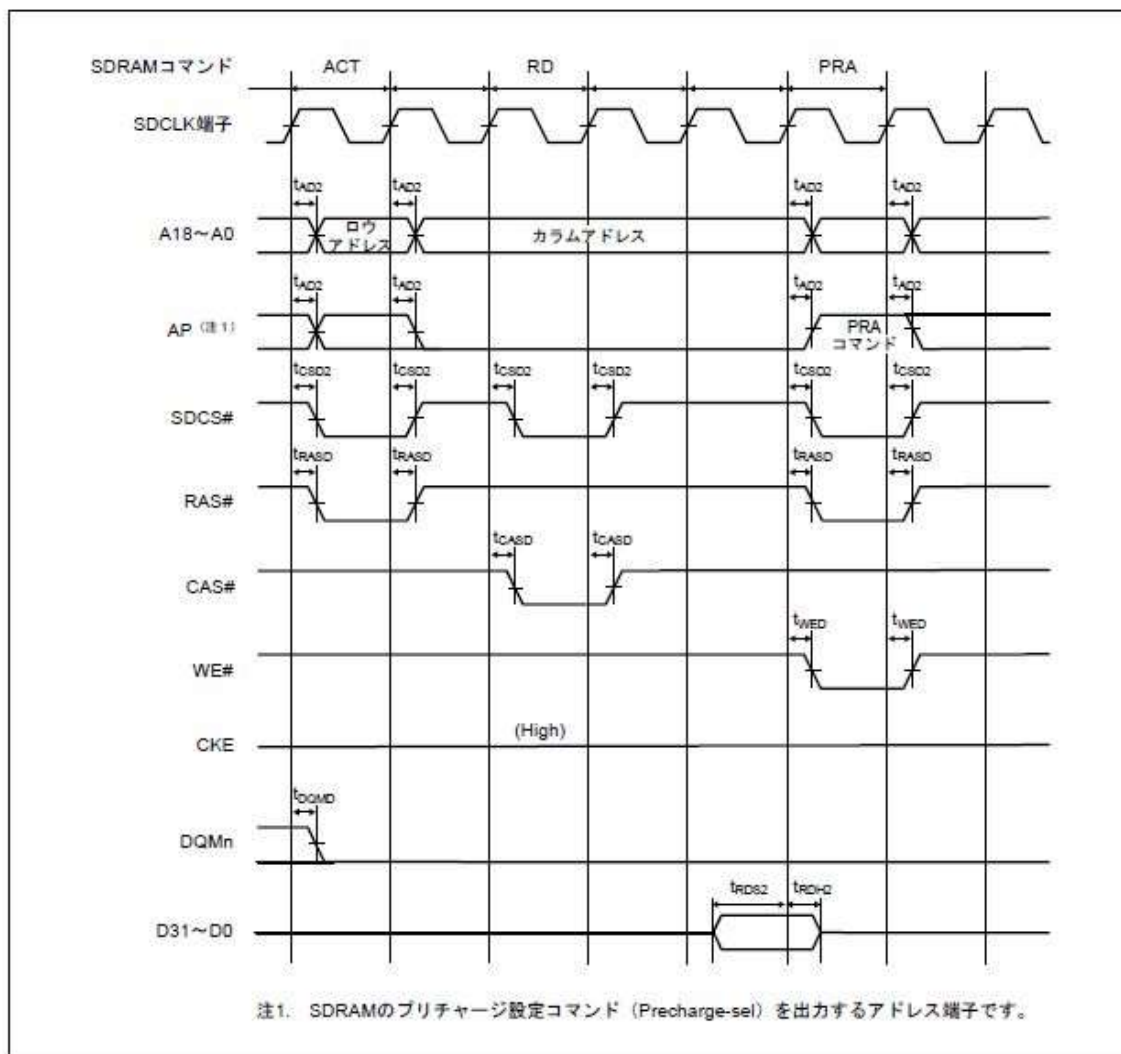


図4-10 SDRAM 空間シングルリードバスタイミング

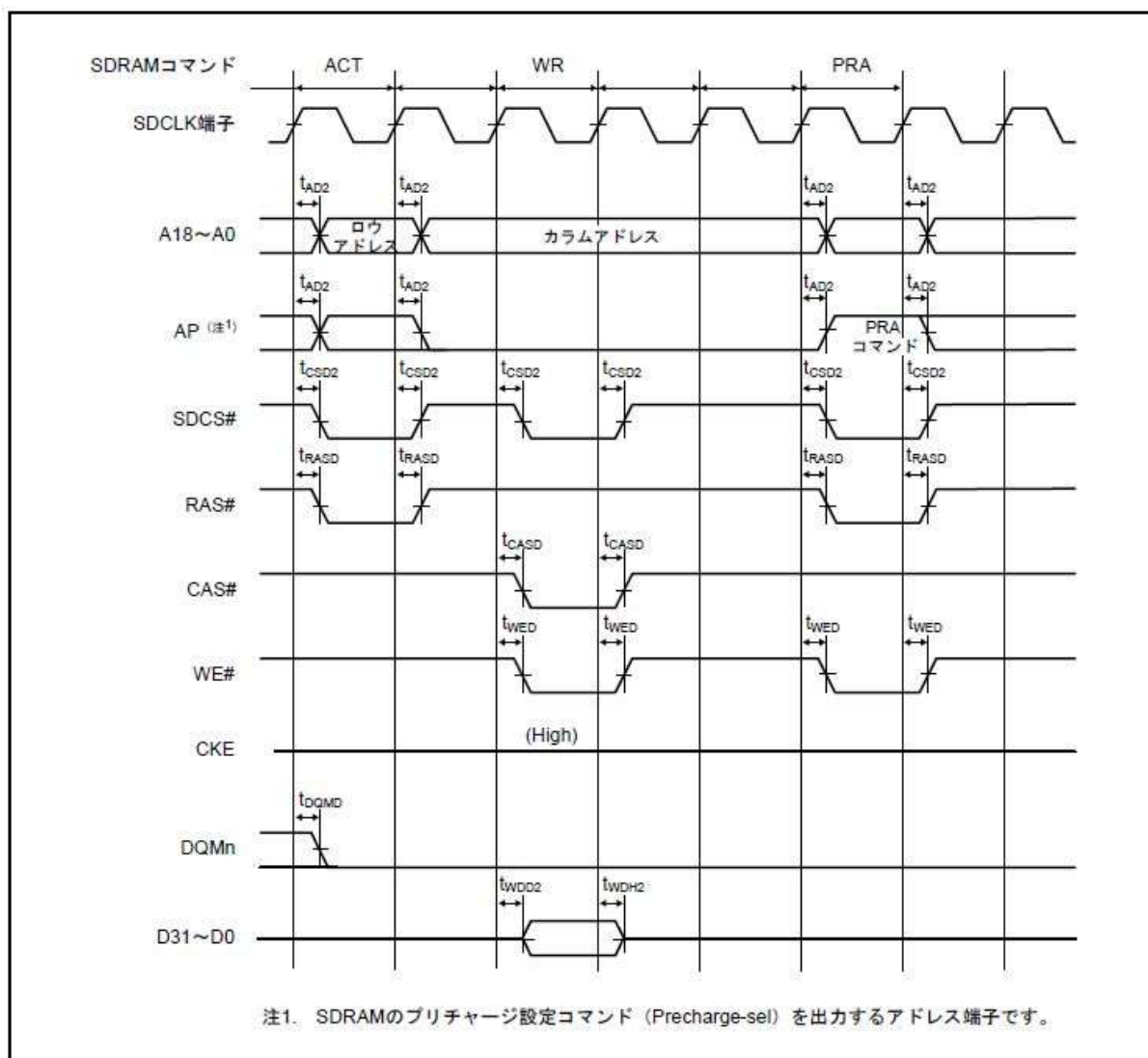


図4-11 SDRAM 空間シングルライトバスタイミング

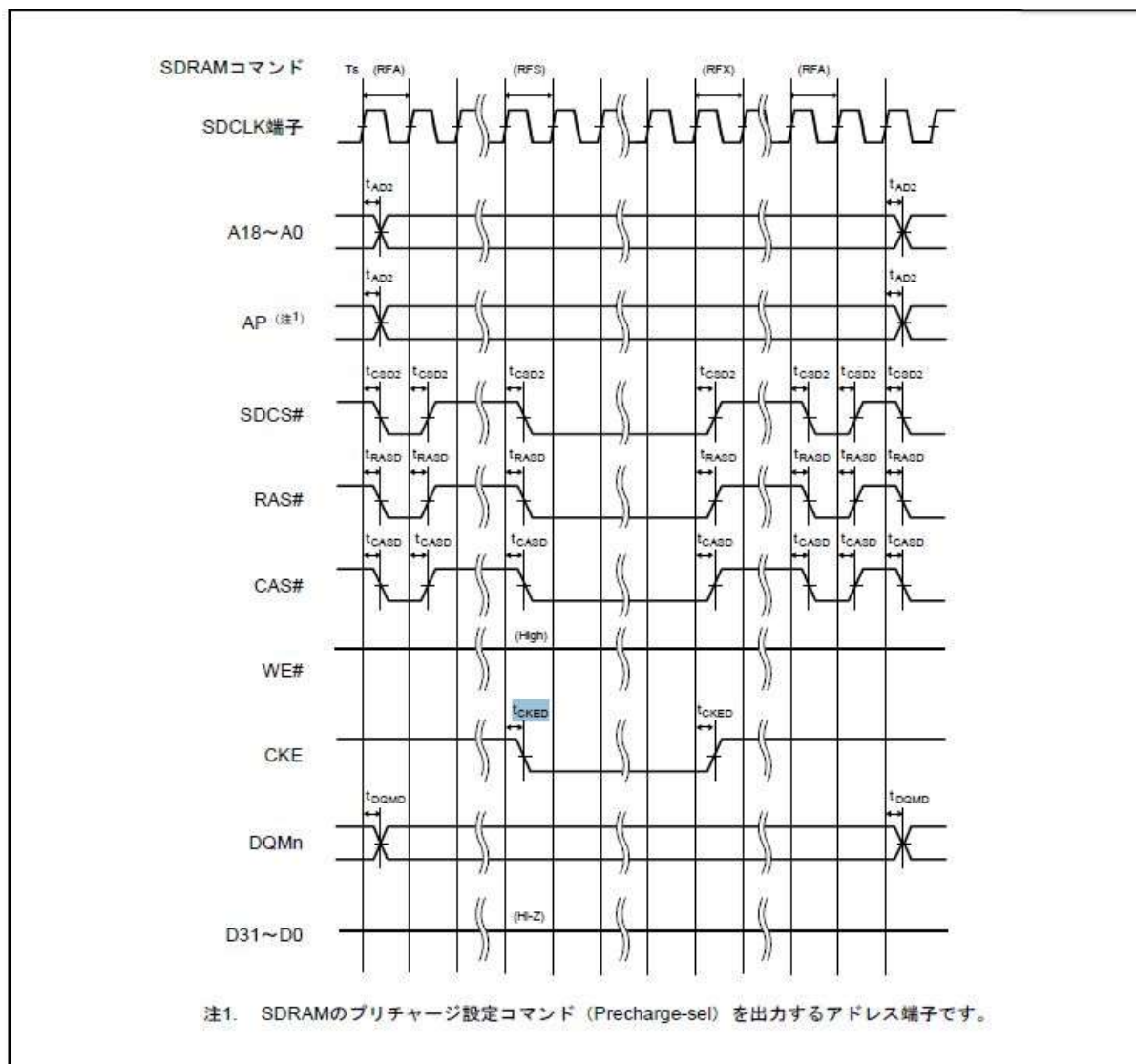


図4-12 SDRAM 空間セルフリフレッシュバスタイミング

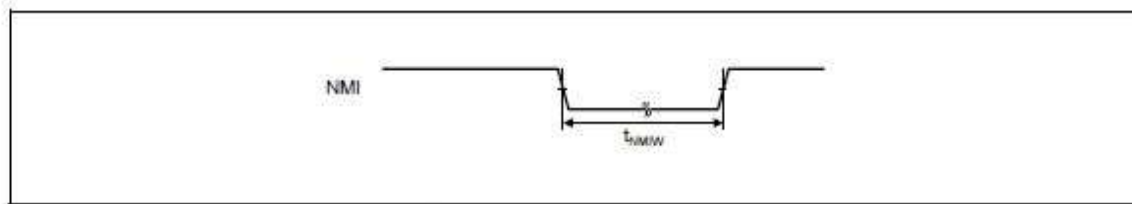


図4-13 NMI 割込入力タイミング

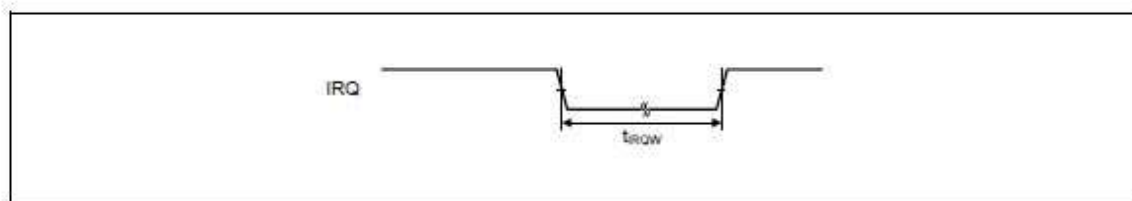


図4-14 IRQ 割込入力タイミング

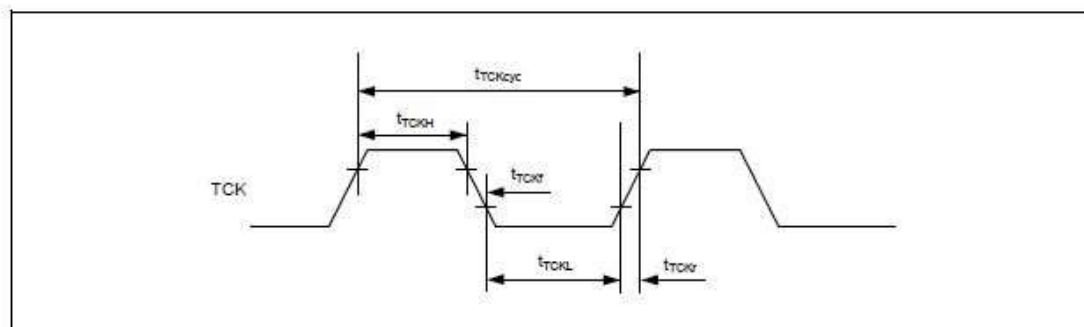


図4-15 バウンダリスキャン TCK タイミング c

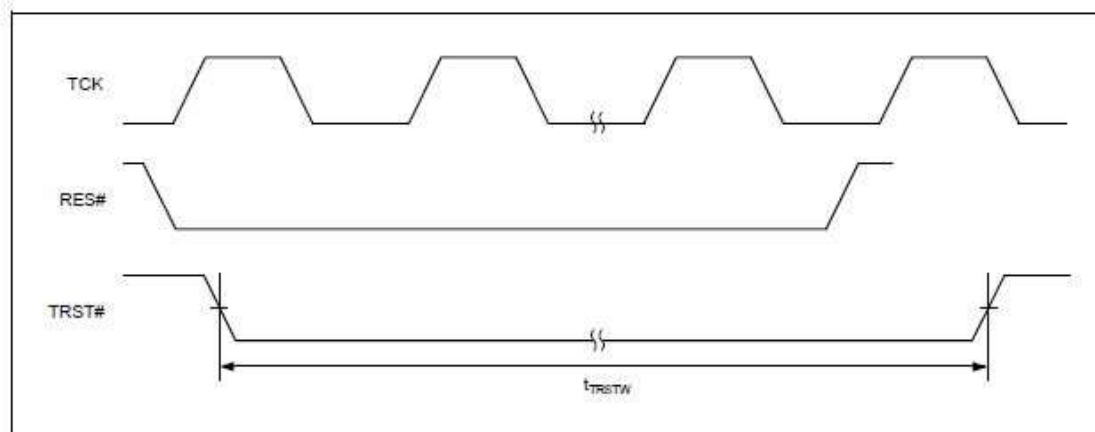


図4-16 バウンダリスキャン TRST タイミング

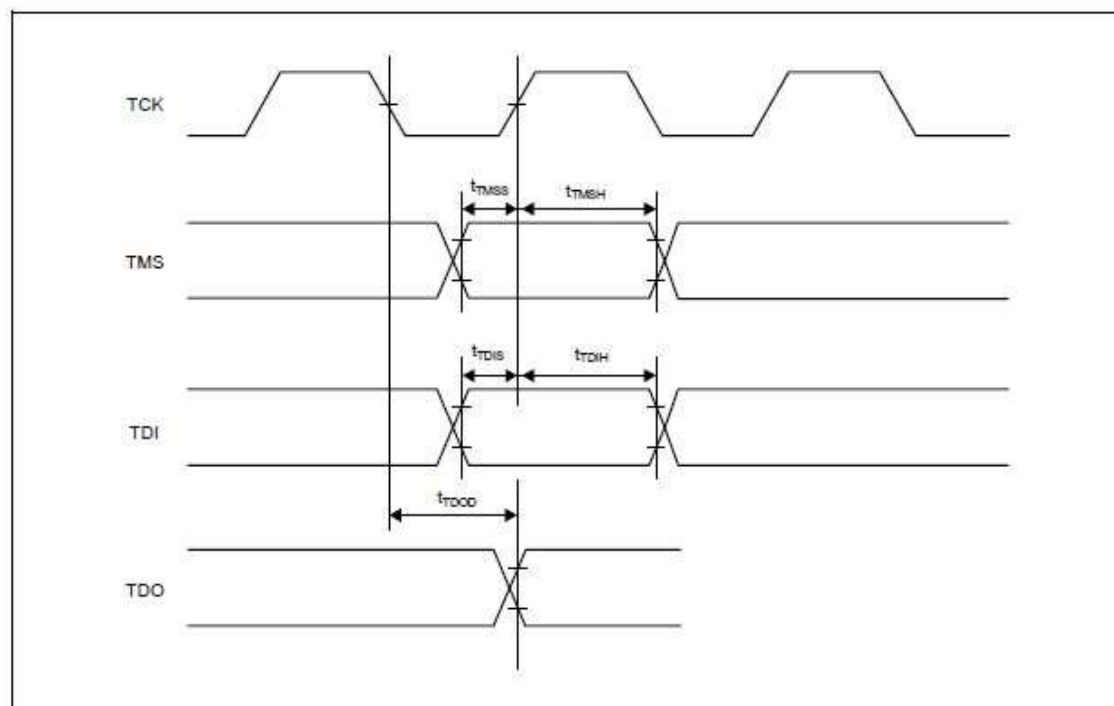


図4-17 バウンダリスキャン入出力タイミング

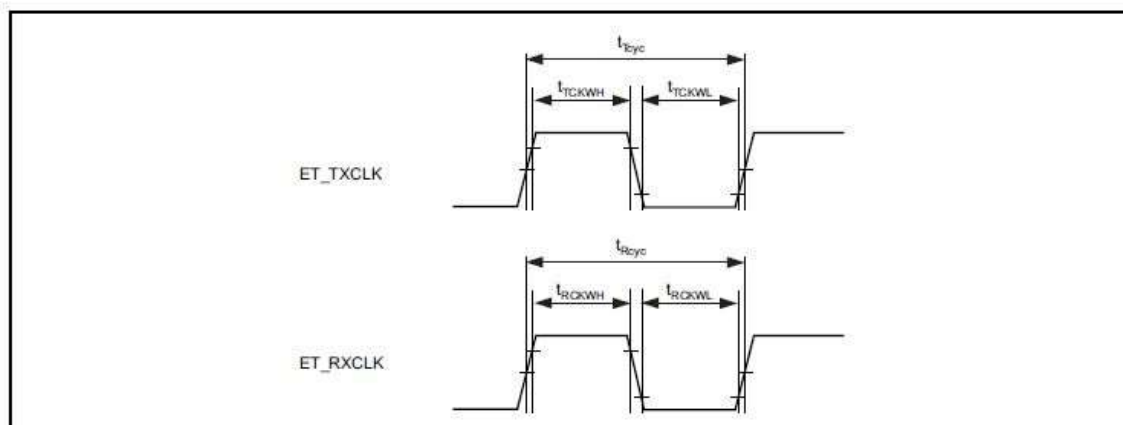


図4-18 MII クロックタイミング

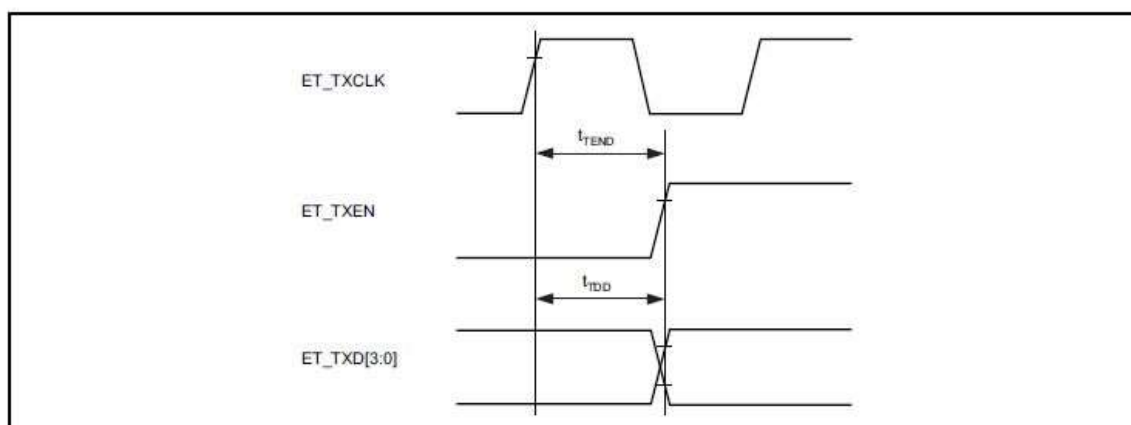


図4-19 MII 送信データタイミング

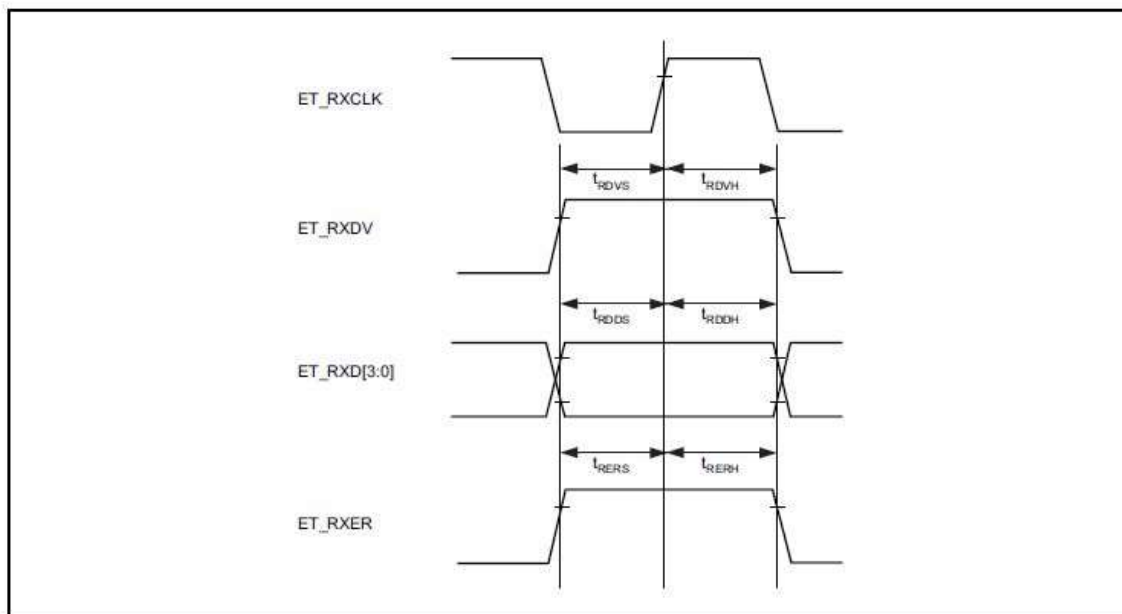


図4-20 MII 受信データタイミング

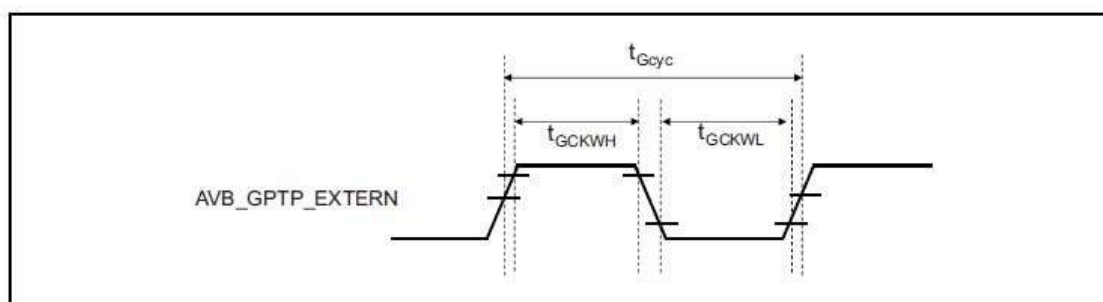


図4-21 gPTP タイマ外部クロックタイミング

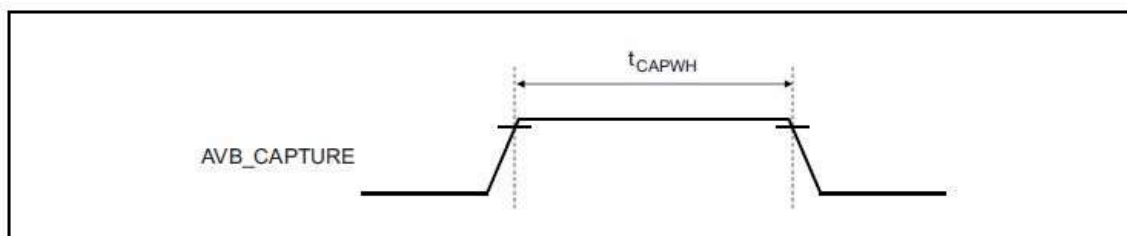


図4-22 タイマキャプチャ信号タイミング

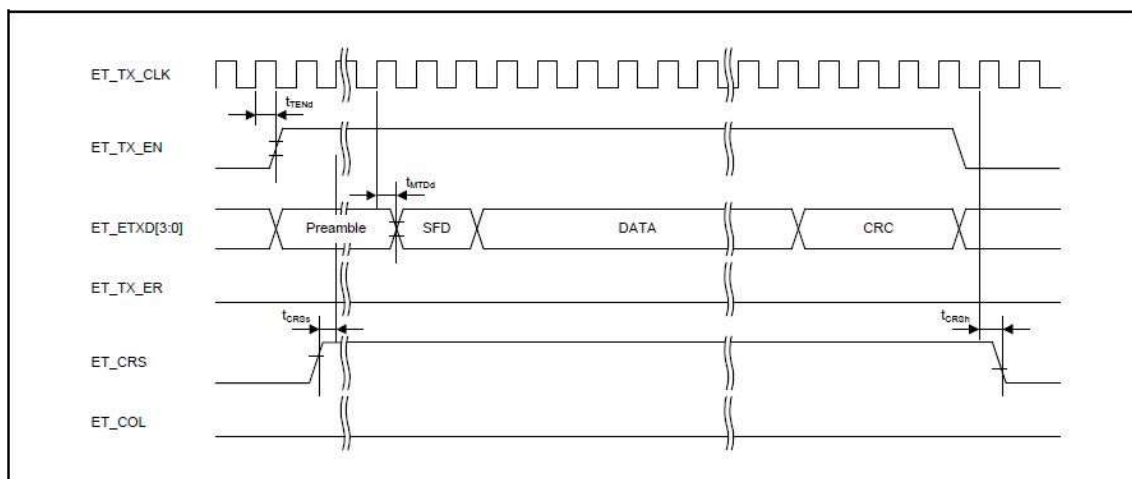


図4-23 MII 送信タイミング（正常動作時）

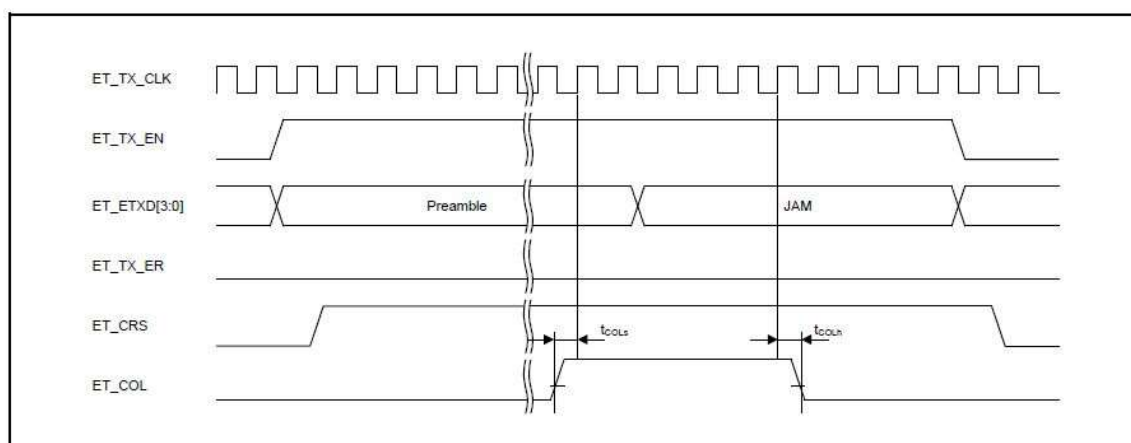


図4-24 MII 送信タイミング（衝突発生ケース）

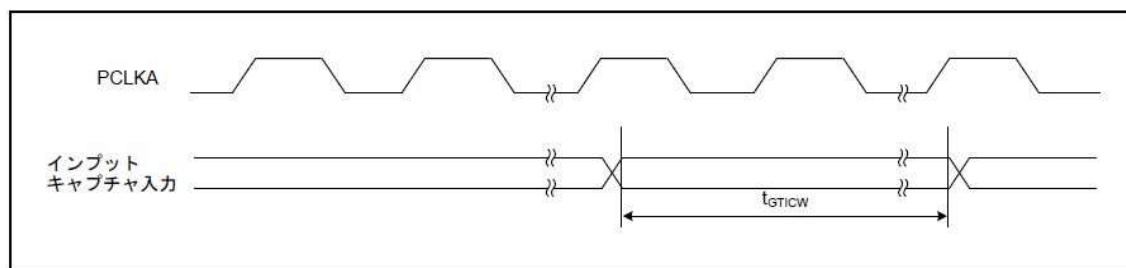


図4-25 GPT インพุットキャプチャ入力タイミング

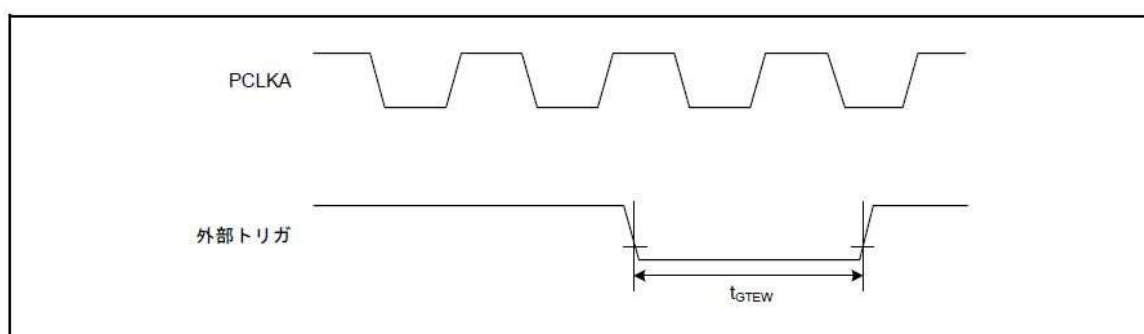


図4-26 GPT 外部トリガ入力タイミング

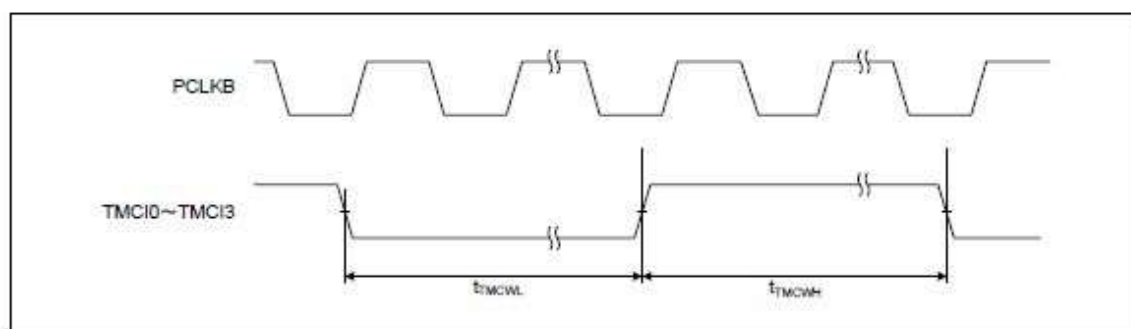


図4-27 TMR クロック入力タイミング

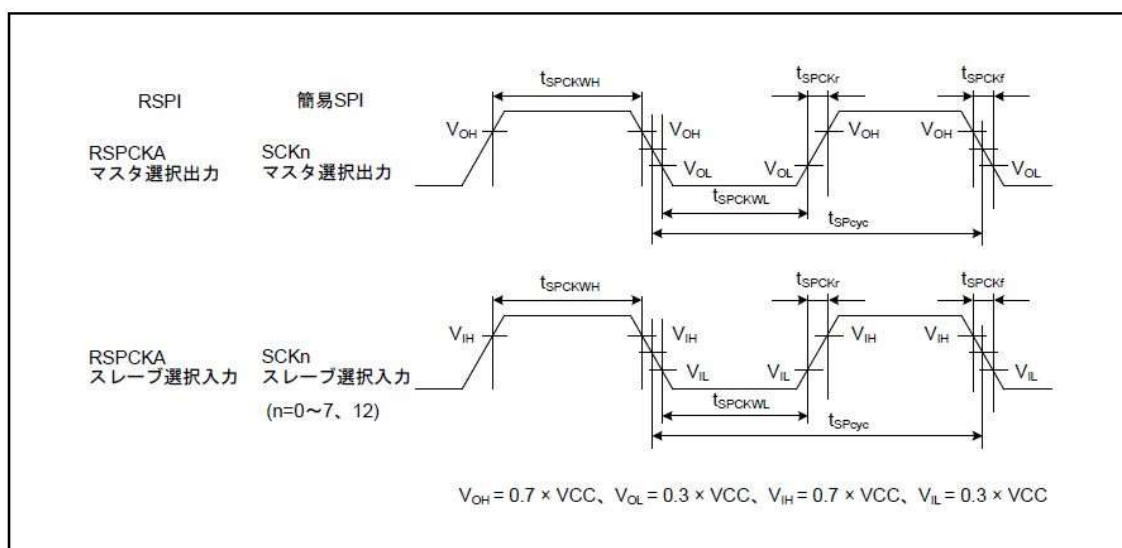


図4-28 RSPI クロックタイミング/簡易 SPI クロックタイミング

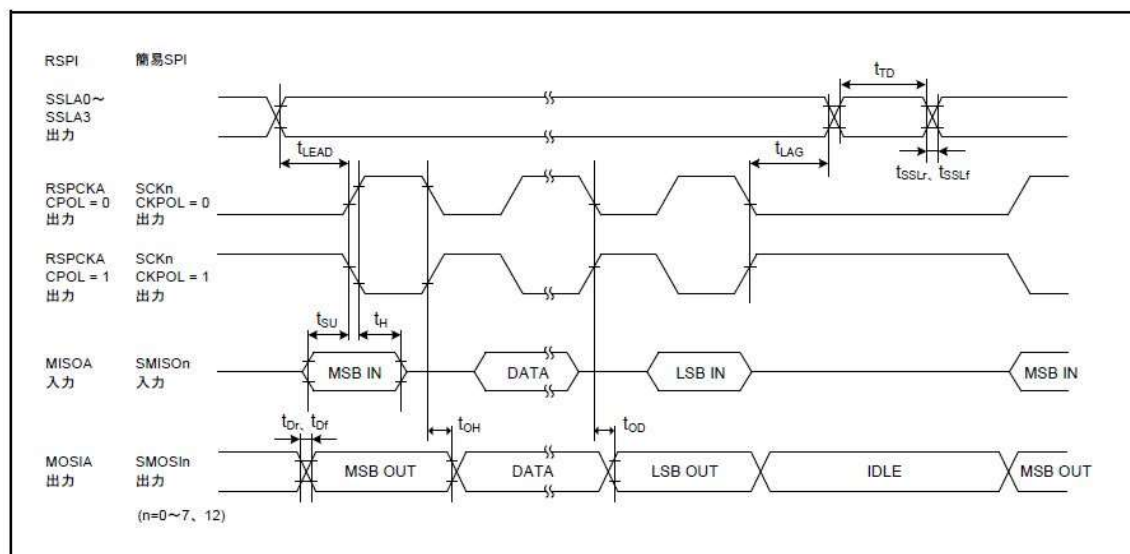


図4-29 RSPI タイミング (マスタ、CPHA=0) (ビットレート : PCLK を 2 分周以外に設定)
/簡易 SPI タイミング (マスタ、CKPH= 1)

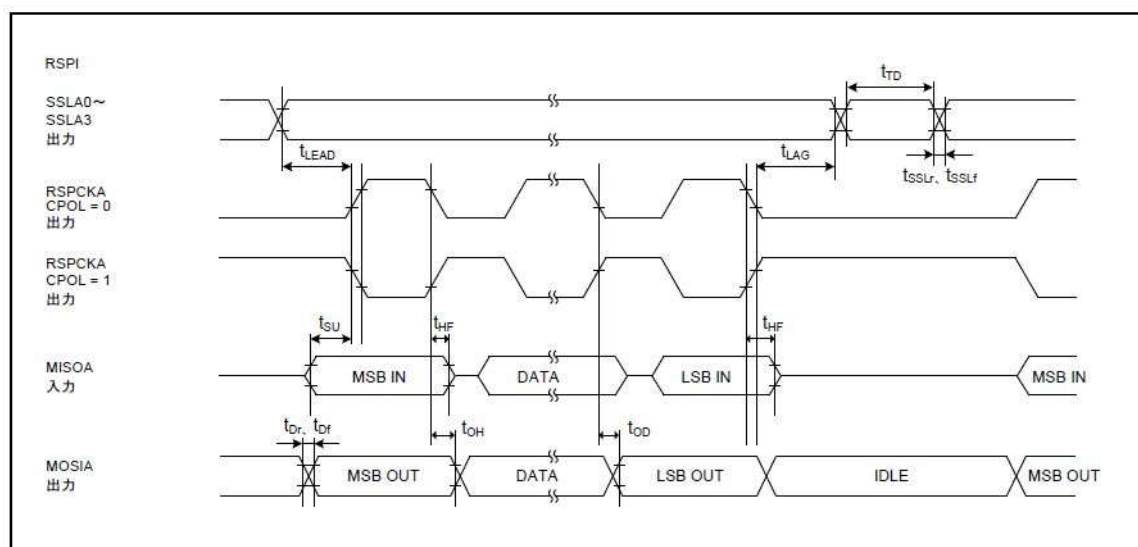


図4-30 RSPI タイミング (マスタ、CPHA=0) (ビットレート : PCLK を 2 分周に設定)

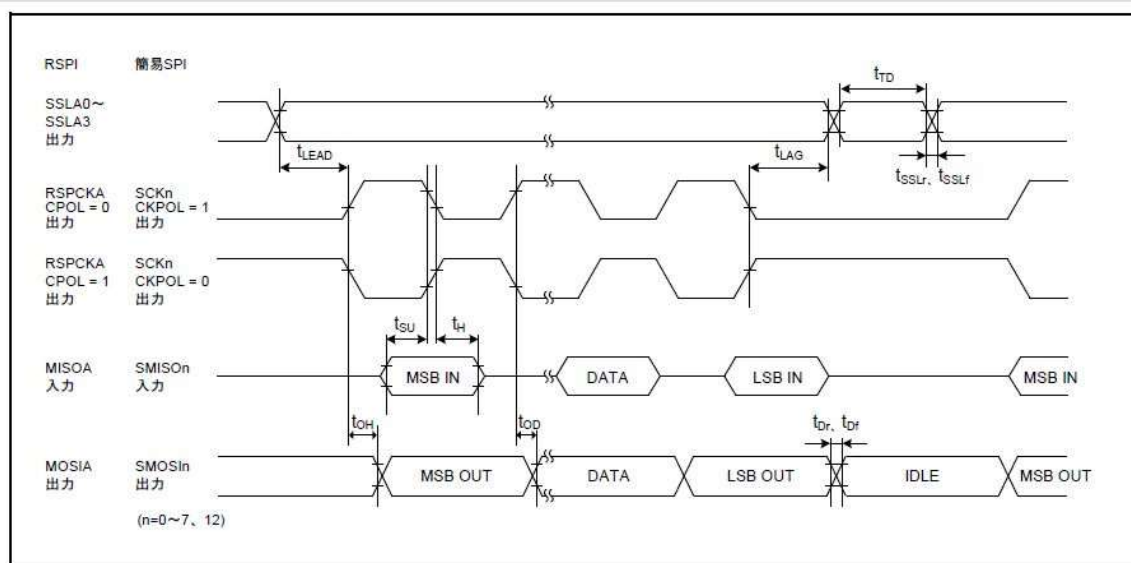


図4-31 RSPI タイミング (マスタ、CPHA=1) (ビットレート : PCLK を 2 分周以外に設定)
/簡易 SPI タイミング (マスタ、CKPH = 1)

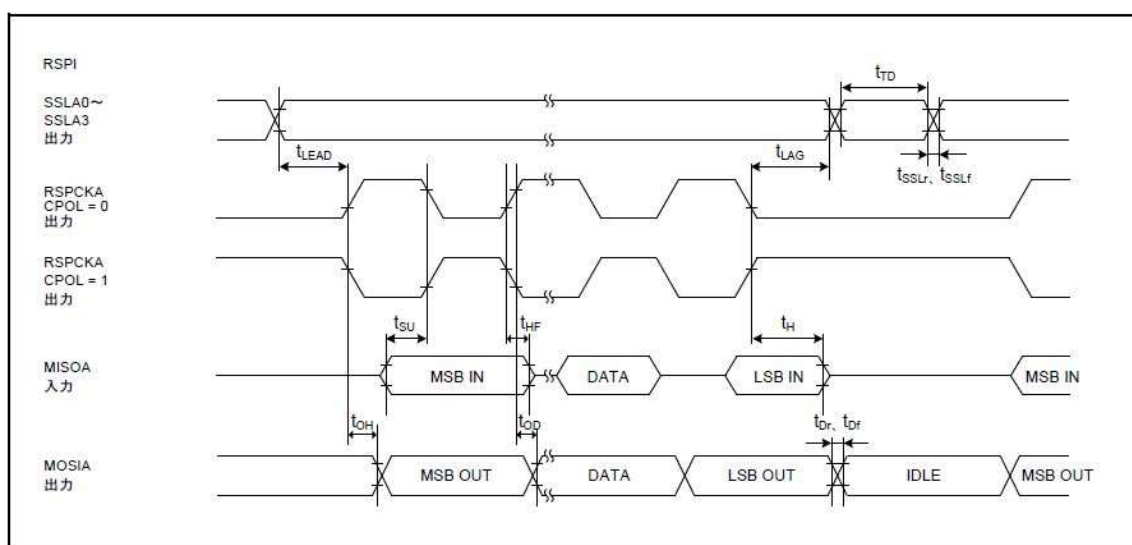


図4-32 RSPI タイミング (マスタ、CPHA=1) (ビットレート : PCLK を 2 分周に設定)

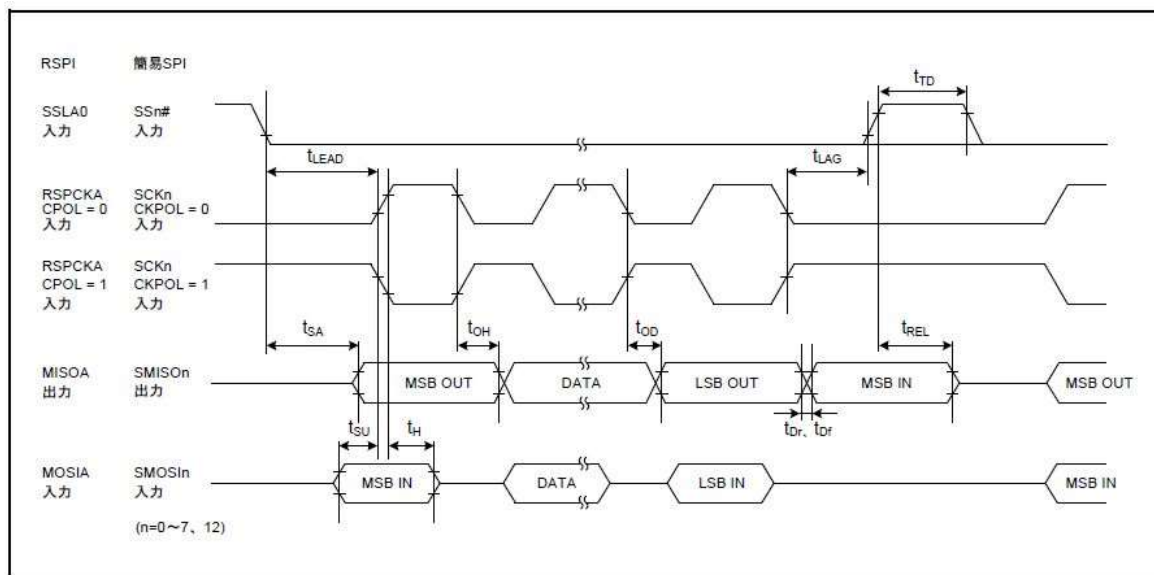


図4-33 RSPI タイミング（スレーブ、CPHA=0）/簡易 SPI タイミング（スレーブ、CKPH = 1）

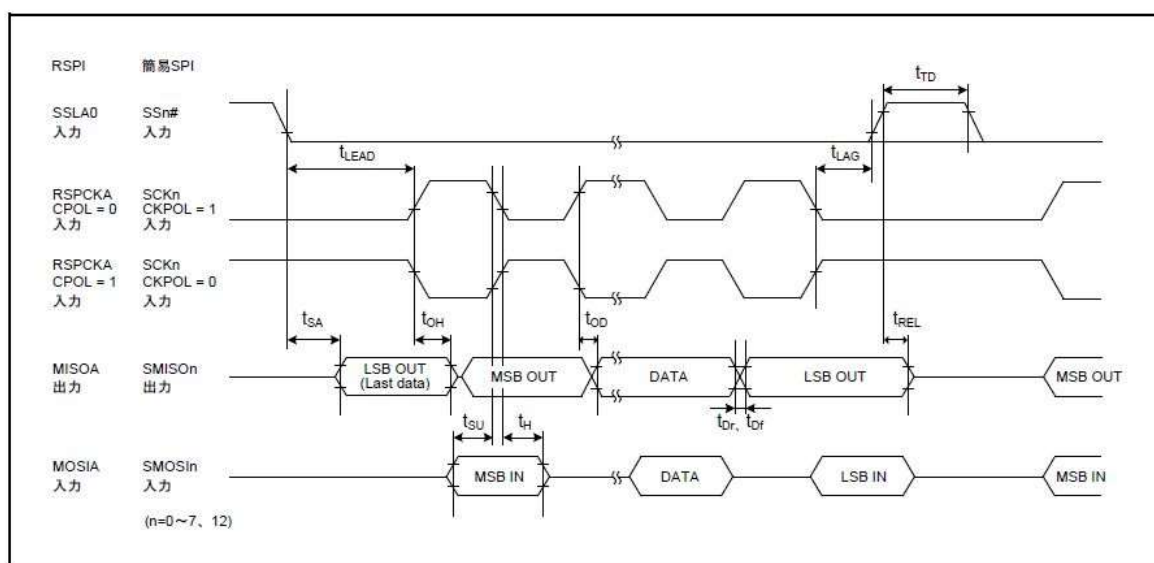


図4-34 RSPI タイミング（スレーブ、CPHA=1）/簡易 SPI タイミング（スレーブ、CKPH = 0）

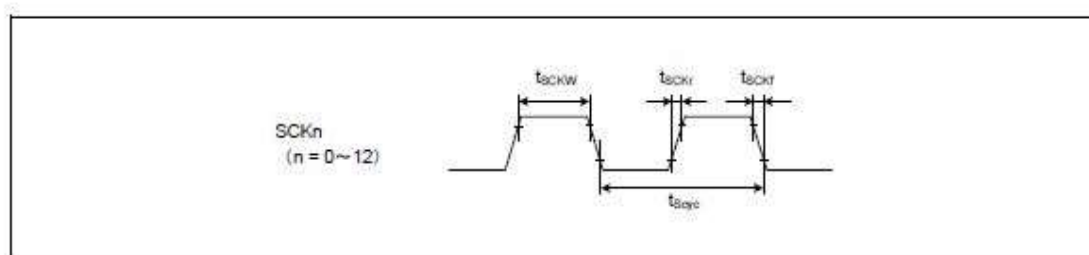


図4-35 SCK クロック入力タイミング

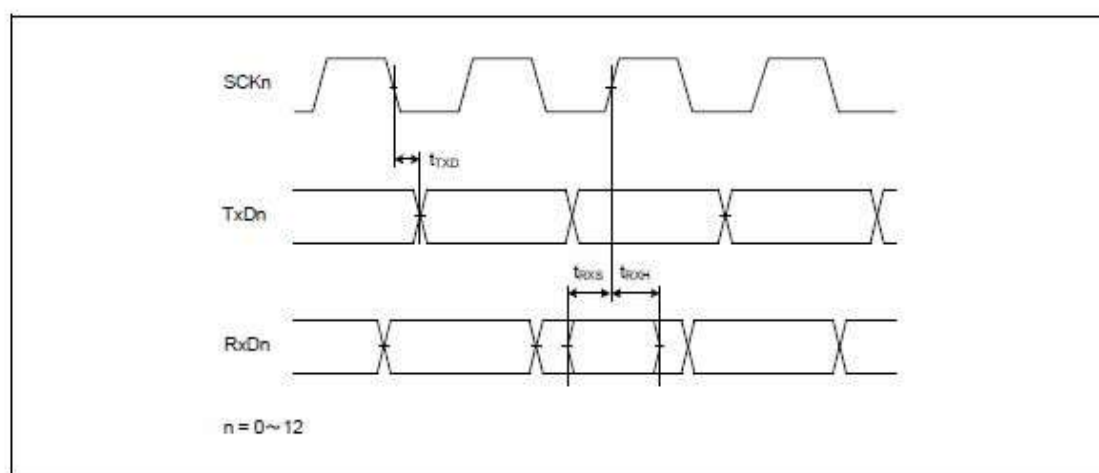


図4-36 SCI 入出力タイミング／クロック同期式モード

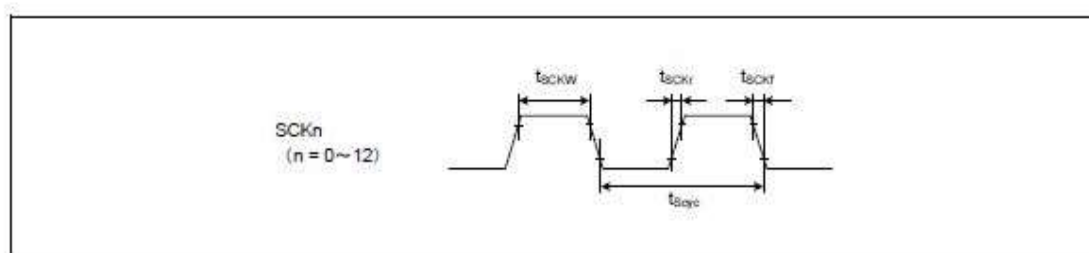


図4-37 SCK クロック入力タイミング

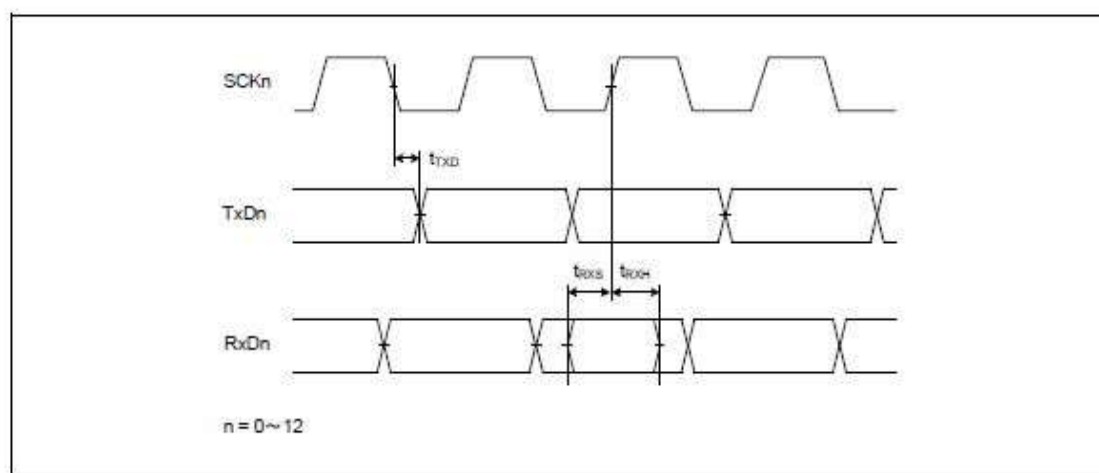


図4-38 SCI 入出力タイミング／クロック同期式モード

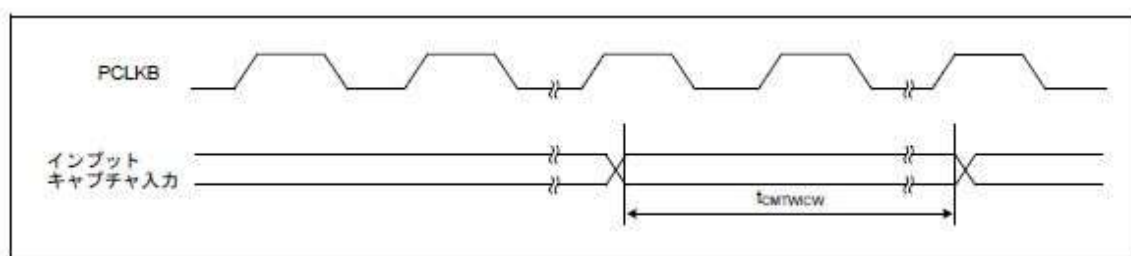


図4-39 CMTW インプットキャプチャ入力タイミング

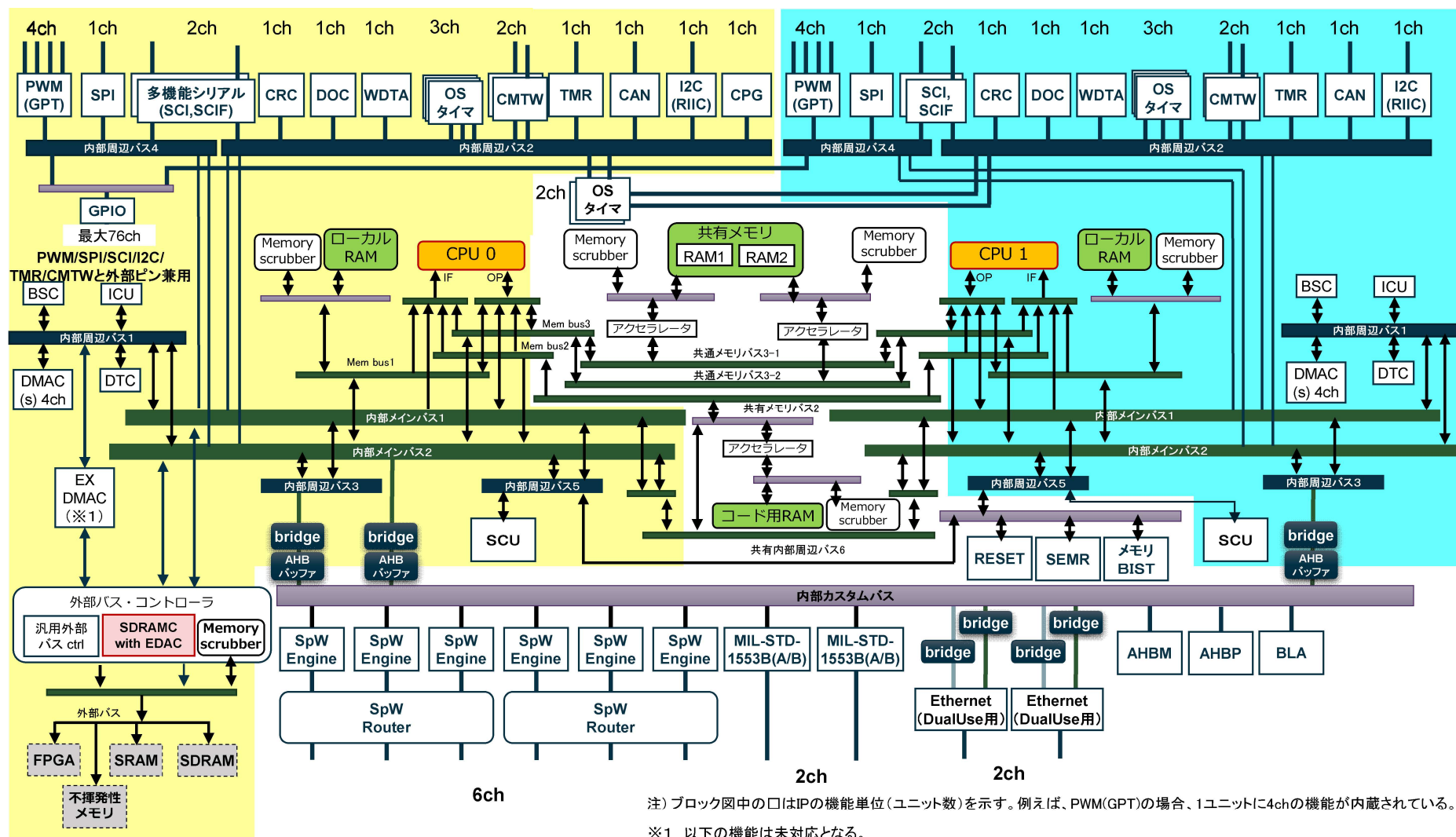
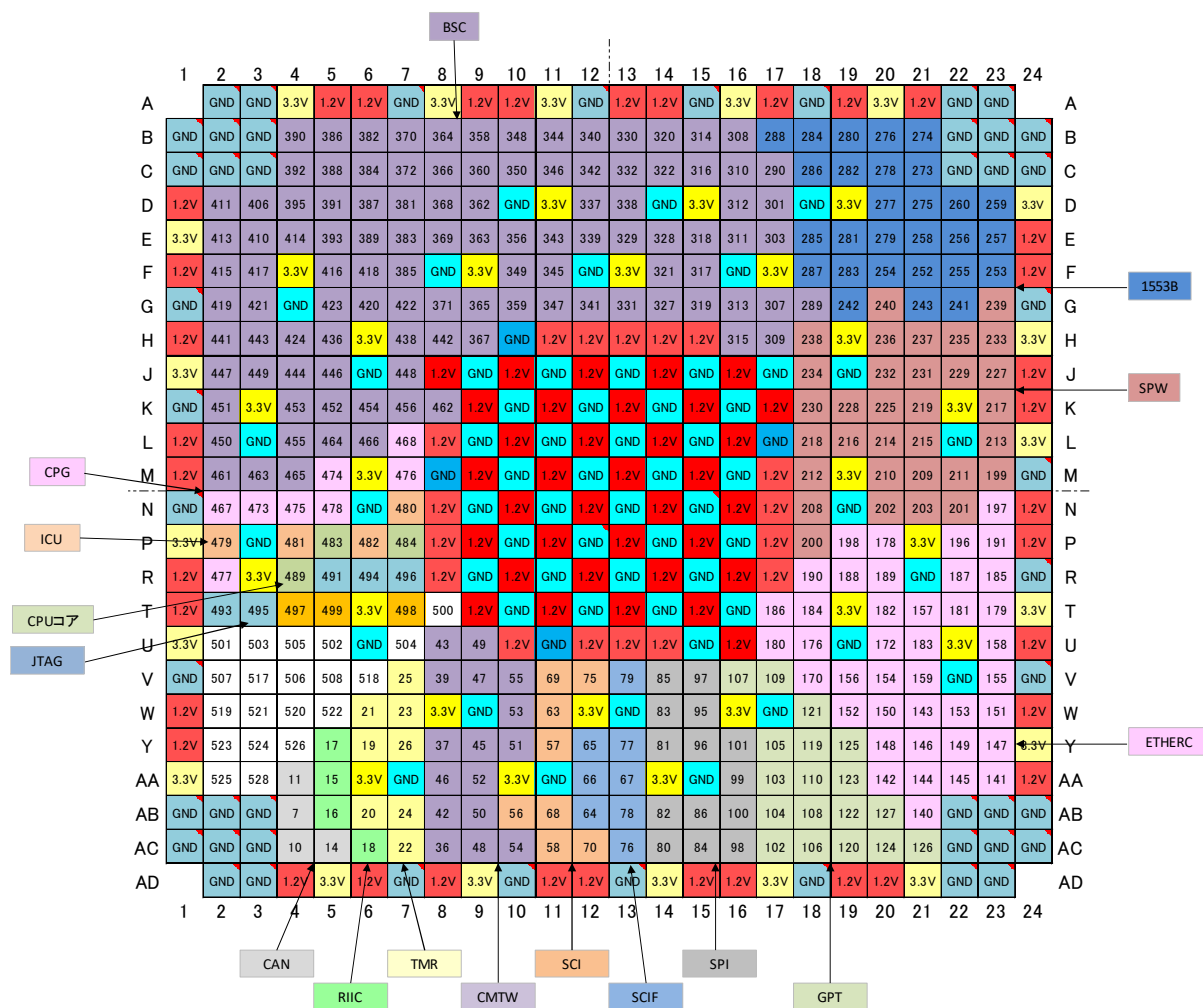
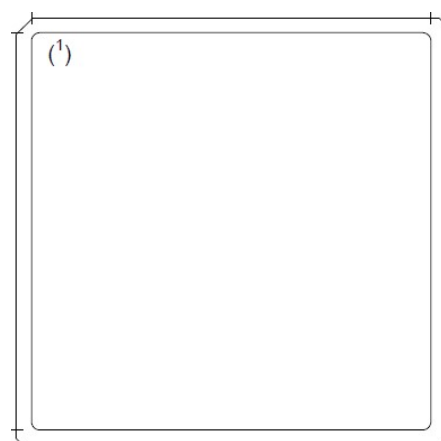


図4-40 システムブロック図



＜TOP VIEW＞

【CBGA パッケージ外観との対応<TOP VIEW>】



注(1) 切欠き位置は左上

図 4-41 端子配置図 (CBGA パッケージ)

表 4-3 端子配置と端子機能 (1/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライバ 能力	備考
A2	GND	-	-	-	-	VSS,VSSQ
A3	GND	-	-	-	-	VSS,VSSQ
A4	3.3V	-	-	-	-	VCCQ
A5	1.2V	-	-	-	-	VDD
A6	1.2V	-	-	-	-	VDD
A7	GND	-	-	-	-	VSS,VSSQ
A8	3.3V	-	-	-	-	VCCQ
A9	1.2V	-	-	-	-	VDD
A10	1.2V	-	-	-	-	VDD
A11	3.3V	-	-	-	-	VCCQ
A12	GND	-	-	-	-	VSS,VSSQ
A13	1.2V	-	-	-	-	VDD
A14	1.2V	-	-	-	-	VDD
A15	GND	-	-	-	-	VSS,VSSQ
A16	3.3V	-	-	-	-	VCCQ
A17	1.2V	-	-	-	-	VDD
A18	GND	-	-	-	-	VSS,VSSQ
A19	1.2V	-	-	-	-	VDD
A20	3.3V	-	-	-	-	VCCQ
A21	1.2V	-	-	-	-	VDD
A22	GND	-	-	-	-	VSS,VSSQ
A23	GND	-	-	-	-	VSS,VSSQ
B1	GND	-	-	-	-	VSS,VSSQ
B2	GND	-	-	-	-	VSS,VSSQ
B3	GND	-	-	-	-	VSS,VSSQ
B4	D40	外部バス	CPU0	inout	24mA	
B5	D36	外部バス	CPU0	inout	24mA	
B6	D32	外部バス	CPU0	inout	24mA	
B7	D28	外部バス	CPU0	inout	24mA	
B8	D22	外部バス	CPU0	inout	24mA	
B9	D17	外部バス	CPU0	inout	24mA	
B10	D13	外部バス	CPU0	inout	24mA	
B11	D9	外部バス	CPU0	inout	24mA	
B12	D5	外部バス	CPU0	inout	24mA	
B13	A23	外部バス	CPU0	out	24mA	
B14	A17	外部バス	CPU0	out	24mA	
B15	A11	外部バス	CPU0	out	24mA	
B16	A5	外部バス	CPU0	out	24mA	
B17	MIL 1553B TX DATA B 2	MIL-1553B	共通	out	8mA	
B18	MIL 1553B RX DATA BAR B 2	MIL-1553B	共通	in	-	
B19	MIL 1553B TX DATA BAR A 2	MIL-1553B	共通	out	8mA	
B20	MIL 1553B SUBSYSTEM 2	MIL-1553B	共通	in	-	
B21	MIL 1553B TX DATA B 1	MIL-1553B	共通	out	8mA	
B22	GND	-	-	-	-	VSS,VSSQ
B23	GND	-	-	-	-	VSS,VSSQ
B24	GND	-	-	-	-	VSS,VSSQ
C1	GND	-	-	-	-	VSS,VSSQ
C2	GND	-	-	-	-	VSS,VSSQ
C3	GND	-	-	-	-	VSS,VSSQ
C4	D42	外部バス	CPU0	inout	24mA	
C5	D38	外部バス	CPU0	inout	24mA	
C6	D34	外部バス	CPU0	inout	24mA	
C7	D30	外部バス	CPU0	inout	24mA	
C8	D24	外部バス	CPU0	inout	24mA	
C9	D19	外部バス	CPU0	inout	24mA	
C10	D15	外部バス	CPU0	inout	24mA	
C11	D11	外部バス	CPU0	inout	24mA	
C12	D7	外部バス	CPU0	inout	24mA	
C13	D1	外部バス	CPU0	inout	24mA	
C14	A19	外部バス	CPU0	out	24mA	
C15	A13	外部バス	CPU0	out	24mA	
C16	A7	外部バス	CPU0	out	24mA	
C17	A1	外部バス	CPU0	out	24mA	
C18	MIL 1553B RX STROBE B 2	MIL-1553B	共通	out	8mA	
C19	MIL 1553B TX INHIBIT A 2	MIL-1553B	共通	out	8mA	
C20	MIL 1553B RX DATA BAR A 2	MIL-1553B	共通	in	-	
C21	MIL 1553B TX DATA BAR B 1	MIL-1553B	共通	out	8mA	
C22	GND	-	-	-	-	VSS,VSSQ
C23	GND	-	-	-	-	VSS,VSSQ
C24	GND	-	-	-	-	VSS,VSSQ
D1	1.2V	-	-	-	-	VDD
D2	D47	外部バス	CPU0	inout	24mA	
D3	D45	外部バス	CPU0	inout	24mA	
D4	D44	外部バス	CPU0	inout	24mA	
D5	D41	外部バス	CPU0	inout	24mA	
D6	D37	外部バス	CPU0	inout	24mA	
D7	D31	外部バス	CPU0	inout	24mA	
D8	D26	外部バス	CPU0	inout	24mA	
D9	D20	外部バス	CPU0	inout	24mA	

表 4-3 端子配置と端子機能 (2/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ 能力	備考
D10	GND	-	-	-	-	VSS,VSSQ
D11	3.3V	-	-	-	-	VCCQ
D12	D2	外部バス	CPU0	inout	24mA	
D13	D3	外部バス	CPU0	inout	24mA	
D14	GND	-	-	-	-	VSS,VSSQ
D15	3.3V	-	-	-	-	VCCQ
D16	A9	外部バス	CPU0	out	24mA	
D17	A2	外部バス	CPU0	out	24mA	
D18	GND	-	-	-	-	VSS,VSSQ
D19	3.3V	-	-	-	-	VCCQ
D20	MIL 1553B RX DATA A 2	MIL-1553B	共通	in	-	
D21	MIL 1553B EX SYNC 2	MIL-1553B	共通	in	-	
D22	MIL 1553B RX STROBE B 1	MIL-1553B	共通	out	8mA	
D23	MIL 1553B TX INHIBIT B 1	MIL-1553B	共通	out	8mA	
D24	3.3V	-	-	-	-	VCCQ
E1	3.3V	-	-	-	-	VCCQ
E2	ALE	外部バス	CPU0	out	24mA	
E3	D46	外部バス	CPU0	inout	24mA	
E4	BC0	外部バス	CPU0	out	24mA	
E5	D43	外部バス	CPU0	inout	24mA	
E6	D39	外部バス	CPU0	inout	24mA	
E7	D33	外部バス	CPU0	inout	24mA	
E8	D27	外部バス	CPU0	inout	24mA	
E9	D21	外部バス	CPU0	inout	24mA	
E10	D16	外部バス	CPU0	inout	24mA	
E11	D8	外部バス	CPU0	inout	24mA	
E12	D4	外部バス	CPU0	inout	24mA	
E13	A22	外部バス	CPU0	out	24mA	
E14	A21	外部バス	CPU0	out	24mA	
E15	A15	外部バス	CPU0	out	24mA	
E16	A8	外部バス	CPU0	out	24mA	
E17	A3	外部バス	CPU0	out	24mA	
E18	MIL 1553B TX INHIBIT B 2	MIL-1553B	共通	out	8mA	
E19	MIL 1553B RX STROBE A 2	MIL-1553B	共通	out	8mA	
E20	MIL 1553B TX DATA A 2	MIL-1553B	共通	out	8mA	
E21	MIL 1553B RX DATA BAR B 1	MIL-1553B	共通	in	-	
E22	MIL 1553B TX INHIBIT A 1	MIL-1553B	共通	out	8mA	
E23	MIL 1553B RX DATA B 1	MIL-1553B	共通	in	-	
E24	1.2V	-	-	-	-	VDD
F1	1.2V	-	-	-	-	VDD
F2	BC1	外部バス	CPU0	out	24mA	
F3	BC3	外部バス	CPU0	out	24mA	
F4	3.3V	-	-	-	-	VCCQ
F5	BC2	外部バス	CPU0	out	24mA	
F6	CAS#	外部バス	CPU0	out	24mA	
F7	D35	外部バス	CPU0	inout	24mA	
F8	GND	-	-	-	-	VSS,VSSQ
F9	3.3V	-	-	-	-	VCCQ
F10	D14	外部バス	CPU0	inout	24mA	
F11	D10	外部バス	CPU0	inout	24mA	
F12	GND	-	-	-	-	VSS,VSSQ
F13	3.3V	-	-	-	-	VCCQ
F14	A18	外部バス	CPU0	out	24mA	
F15	A14	外部バス	CPU0	out	24mA	
F16	GND	-	-	-	-	VSS,VSSQ
F17	3.3V	-	-	-	-	VCCQ
F18	MIL 1553B TX DATA BAR B 2	MIL-1553B	共通	out	8mA	
F19	MIL 1553B RX DATA B 2	MIL-1553B	共通	in	-	
F20	MIL 1553B TX DATA BAR A 1	MIL-1553B	共通	out	8mA	
F21	MIL 1553B RX DATA BAR A 1	MIL-1553B	共通	in	-	
F22	MIL 1553B RX STROBE A 1	MIL-1553B	共通	out	8mA	
F23	MIL 1553B TX DATA A 1	MIL-1553B	共通	out	8mA	
F24	1.2V	-	-	-	-	VDD
G1	GND	-	-	-	-	VSS,VSSQ
G2	CKE	外部バス	CPU0	out	24mA	
G3	CS2#	外部バス	CPU0	out	24mA	
G4	GND	-	-	-	-	VSS,VSSQ
G5	CS4#	外部バス	CPU0	out	24mA	
G6	CS1#	外部バス	CPU0	out	24mA	
G7	CS3#	外部バス	CPU0	out	24mA	
G8	D29	外部バス	CPU0	inout	24mA	
G9	D23	外部バス	CPU0	inout	24mA	
G10	D18	外部バス	CPU0	inout	24mA	
G11	D12	外部バス	CPU0	inout	24mA	
G12	D6	外部バス	CPU0	inout	24mA	
G13	D0	外部バス	CPU0	inout	24mA	
G14	A20	外部バス	CPU0	out	24mA	

表 4-3 端子配置と端子機能 (3/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ 能力	備考
G15	A16	外部バス	CPU0	out	24mA	
G16	A10	外部バス	CPU0	out	24mA	
G17	A4	外部バス	CPU0	out	24mA	
G18	A0	外部バス	CPU0	out	24mA	
G19	MIL 1553B SUBSYSTEM 1	MIL-1553B	共通	in	-	
G20	GPIO 2 11	SpaceWire	共通	in	-	ch4~6 共通
G21	MIL 1553B RX DATA A 1	MIL-1553B	共通	in	-	
G22	MIL 1553B EX SYNC 1	MIL-1553B	共通	in	-	
G23	GPIO 2 10	SpaceWire	共通	in	-	ch4~6 共通
G24	GND	-	-	-	-	VSS,VSSQ
H1	1.2V	-	-	-	-	VDD
H2	DQM0	外部バス	CPU0	out	24mA	
H3	DQM2	外部バス	CPU0	out	24mA	
H4	CS5#	外部バス	CPU0	out	24mA	
H5	CS6#	外部バス	CPU0	out	24mA	
H6	3.3V	-	-	-	-	VCCQ
H7	CS7#	外部バス	CPU0	out	24mA	
H8	DQM1	外部バス	CPU0	out	24mA	
H9	D25	外部バス	CPU0	inout	24mA	
H10	GND	-	-	-	-	VSS,VSSQ,VBN
H11	1.2V	-	-	-	-	VDD
H12	1.2V	-	-	-	-	VDD
H13	1.2V	-	-	-	-	VDD
H14	1.2V	-	-	-	-	VDD, VBP
H15	1.2V	-	-	-	-	VDD
H16	A12	外部バス	CPU0	out	24mA	
H17	A6	外部バス	CPU0	out	24mA	
H18	GPIO 2 01	SpaceWire	共通	in	-	ch4~6 共通
H19	3.3V	-	-	-	-	VCCQ
H20	D_OUT(5)	SpaceWire	共通	out	8mA	
H21	GPIO 2 00	SpaceWire	共通	in	-	ch4~6 共通
H22	D_IN(5)	SpaceWire	共通	in	-	
H23	S_IN(5)	SpaceWire	共通	in	-	
H24	3.3V	-	-	-	-	VCCQ
J1	3.3V	-	-	-	-	VCCQ
J2	DQM5	外部バス	CPU0	out	24mA	
J3	RD#	外部バス	CPU0	out	24mA	
J4	DQM3	外部バス	CPU0	out	24mA	
J5	DQM4	外部バス	CPU0	out	24mA	
J6	GND	-	-	-	-	VSS,VSSQ
J7	RAS#	外部バス	CPU0	out	24mA	
J8	1.2V	-	-	-	-	VDD
J9	GND	-	-	-	-	VSS,VSSQ
J10	1.2V	-	-	-	-	VDD
J11	GND	-	-	-	-	VSS,VSSQ
J12	1.2V	-	-	-	-	VDD
J13	GND	-	-	-	-	VSS,VSSQ
J14	1.2V	-	-	-	-	VDD
J15	GND	-	-	-	-	VSS,VSSQ
J16	1.2V	-	-	-	-	VDD
J17	GND	-	-	-	-	VSS,VSSQ
J18	S_OUT(5)	SpaceWire	共通	out	8mA	
J19	GND	-	-	-	-	VSS,VSSQ
J20	D_OUT(4)	SpaceWire	共通	out	8mA	
J21	D_IN(4)	SpaceWire	共通	in	-	
J22	S_IN(4)	SpaceWire	共通	in	-	
J23	D_IN(3)	SpaceWire	共通	in	-	
J24	1.2V	-	-	-	-	VDD
K1	GND	-	-	-	-	VSS,VSSQ
K2	SDCS#	外部バス	CPU0	out	24mA	
K3	3.3V	-	-	-	-	VCCQ
K4	SDCS2#	外部バス	CPU0	out	24mA	
K5	SDCS1#	外部バス	CPU0	out	24mA	
K6	SDCS3#	外部バス	CPU0	out	24mA	
K7	WE#	外部バス	CPU0	out	24mA	
K8	WR1#	外部バス	CPU0	out	24mA	
K9	1.2V	-	-	-	-	VDD
K10	GND	-	-	-	-	VSS,VSSQ
K11	1.2V	-	-	-	-	VDD
K12	GND	-	-	-	-	VSS,VSSQ
K13	1.2V	-	-	-	-	VDD
K14	GND	-	-	-	-	VSS,VSSQ
K15	1.2V	-	-	-	-	VDD
K16	GND	-	-	-	-	VSS,VSSQ
K17	1.2V	-	-	-	-	VDD
K18	S_OUT(4)	SpaceWire	共通	out	8mA	

表 4-3 端子配置と端子機能 (4/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ 能力	備考
K19	D_OUT(3)	SpaceWire	共通	out	8mA	
K20	S_OUT(3)	SpaceWire	共通	out	8mA	
K21	S_IN(3)	SpaceWire	共通	in	-	
K22	3.3V	-	-	-	-	VCCQ
K23	GPIO_1_10	SpaceWire	共通	in	-	ch1~3 共通
K24	1.2V	-	-	-	-	VDD
L1	1.2V	-	-	-	-	VDD
L2	SDCLK	外部バス	CPU0	out	24mA	
L3	GND	-	-	-	-	VSS,VSSQ
L4	WAIT#	外部バス	CPU0	in	-	
L5	WR3#	外部バス	CPU0	out	24mA	
L6	CS_BSW[1]	外部バス	CPU0	in	-	外部バス領域 1 の初期バス幅設定
L7	PLL_SEL[0]	CPG	共通	in	-	
L8	1.2V	-	-	-	-	VDD
L9	GND	-	-	-	-	VSS,VSSQ
L10	1.2V	-	-	-	-	VDD
L11	GND	-	-	-	-	VSS,VSSQ
L12	1.2V	-	-	-	-	VDD
L13	GND	-	-	-	-	VSS,VSSQ
L14	1.2V	-	-	-	-	VDD
L15	GND	-	-	-	-	VSS,VSSQ
L16	1.2V	-	-	-	-	VDD
L17	GND	-	-	-	-	VSS,VSSQ,VBN
L18	GPIO_1_11	SpaceWire	共通	in	-	ch1~3 共通
L19	GPIO_1_01	SpaceWire	共通	in	-	ch1~3 共通
L20	D_OUT(2)	SpaceWire	共通	out	8mA	
L21	GPIO_1_00	SpaceWire	共通	in	-	ch1~3 共通
L22	GND	-	-	-	-	VSS,VSSQ
L23	D_IN(2)	SpaceWire	共通	in	-	
L24	3.3V	-	-	-	-	VCCQ
M1	1.2V	-	-	-	-	VDD
M2	WR0#	外部バス	CPU0	out	24mA	
M3	WR2#	外部バス	CPU0	out	24mA	
M4	CS_BSW[0]	外部バス	CPU0	in	-	外部バス領域 1 の初期バス幅設定
M5	PLL_SEL[2]	CPG	共通	in	-	
M6	3.3V	-	-	-	-	VCCQ
M7	PLL_SEL[4]	CPG	共通	in	-	
M8	GND	-	-	-	-	VSS,VSSQ
M9	1.2V	-	-	-	-	VDD
M10	GND	-	-	-	-	VSS,VSSQ
M11	1.2V	-	-	-	-	VDD
M12	GND	-	-	-	-	VSS,VSSQ
M13	1.2V	-	-	-	-	VDD
M14	GND	-	-	-	-	VSS,VSSQ
M15	1.2V	-	-	-	-	VDD
M16	GND	-	-	-	-	VSS,VSSQ
M17	1.2V	-	-	-	-	VDD
M18	S_OUT(2)	SpaceWire	共通	out	8mA	
M19	3.3V	-	-	-	-	VCCQ
M20	D_OUT(1)	SpaceWire	共通	out	8mA	
M21	D_IN(1)	SpaceWire	共通	in	-	
M22	S_IN(2)	SpaceWire	共通	in	-	
M23	S_IN(0)	SpaceWire	共通	in	-	
M24	GND	-	-	-	-	VSS,VSSQ
N1	GND	-	-	-	-	VSS,VSSQ
N2	EXT_CLK	CPG	共通	in	-	
N3	PLL_SEL[1]	CPG	共通	in	-	
N4	PLL_SEL[3]	CPG	共通	in	-	
N5	JTAG_CLK	CPG	共通	in	-	TCK
N6	GND	-	-	-	-	VSS,VSSQ
N7	IRQ1	外部割込み	共通	in	-	
N8	1.2V	-	-	-	-	VDD
N9	GND	-	-	-	-	VSS,VSSQ
N10	1.2V	-	-	-	-	VDD
N11	GND	-	-	-	-	VSS,VSSQ
N12	1.2V	-	-	-	-	VDD
N13	GND	-	-	-	-	VSS,VSSQ
N14	1.2V	-	-	-	-	VDD
N15	GND	-	-	-	-	VSS,VSSQ
N16	1.2V	-	-	-	-	VDD
N17	1.2V	-	-	-	-	VDD
N18	S_OUT(1)	SpaceWire	共通	out	8mA	
N19	GND	-	-	-	-	VSS,VSSQ
N20	D_OUT(0)	SpaceWire	共通	out	8mA	

表 4-3 端子配置と端子機能 (5/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ ブ能力	備考
N21	S_IN(1)	SpaceWire	共通	In	-	
N22	D_IN(0)	SpaceWire	共通	In	-	
N23	clk_gptp_extern_1	Ethernet	共通	In	-	gPTP 機能
N24	1.2V	-	-	-	-	VDD
P1	3.3V	-	-	-	-	VCCQ
P2	NMI	外部割込み	CPU0	In	-	
P3	GND	-	-	-	-	VSS,VSSQ
P4	IRQ2	外部割込み	共通	In	-	
P5	MD[0]	システム	共通	In	-	
P6	IRQ3	外部割込み	共通	In	-	
P7	MD[1]	システム	共通	In	-	
P8	1.2V	-	-	-	-	VDD
P9	1.2V	-	-	-	-	VDD
P10	GND	-	-	-	-	VSS,VSSQ
P11	1.2V	-	-	-	-	VDD
P12	GND	-	-	-	-	VSS,VSSQ
P13	1.2V	-	-	-	-	VDD
P14	GND	-	-	-	-	VSS,VSSQ
P15	1.2V	-	-	-	-	VDD
P16	GND	-	-	-	-	VSS,VSSQ
P17	1.2V	-	-	-	-	VDD
P18	S_OUT(0)	SpaceWire	共通	out	8mA	
P19	avb_pt_capture_1	Ethernet	共通	in	-	gPTP 機能
P20	clk_miitx_clk_1	Ethernet	共通	in	-	
P21	3.3V	-	-	-	-	VCCQ
P22	clk_miirx_clk_1	Ethernet	共通	in	-	
P23	avd_miirx_err_1	Ethernet	共通	in	-	
P24	1.2V	-	-	-	-	VDD
R1	1.2V	-	-	-	-	VDD
R2	USER_CLK	CPG	共通	out	-	
R3	3.3V	-	-	-	-	VCCQ
R4	RES#	システム	共通	in	-	
R5	TRST#	CPU 用 JTAG	共通	in	-	
R6	TDI	CPU 用 JTAG	共通	in	-	
R7	TDO	CPU 用 JTAG	共通	out	8mA	
R8	1.2V	-	-	-	-	VDD
R9	GND	-	-	-	-	VSS,VSSQ
R10	1.2V	-	-	-	-	VDD
R11	GND	-	-	-	-	VSS,VSSQ
R12	1.2V	-	-	-	-	VDD
R13	GND	-	-	-	-	VSS,VSSQ
R14	1.2V	-	-	-	-	VDD
R15	GND	-	-	-	-	VSS,VSSQ
R16	1.2V	-	-	-	-	VDD
R17	1.2V	-	-	-	-	VDD, VBP
R18	avd_miirx_rxd0_1	Ethernet	共通	in	-	
R19	avd_miitx_crs_1	Ethernet	共通	in	-	
R20	fet_miitx_err_1	Ethernet	共通	out	8mA	
R21	GND	-	-	-	-	VSS,VSSQ
R22	avd_miirx_dv_1	Ethernet	共通	in	-	
R23	avd_miitx_col_1	Ethernet	共通	in	-	
R24	GND	-	-	-	-	VSS,VSSQ
T1	1.2V	-	-	-	-	VDD
T2	EMLE	CPU 用 JTAG	共通	in	-	
T3	TMS	CPU 用 JTAG	共通	in	-	
T4	Reserved	-	-	-	-	
T5	Reserved	-	-	-	-	
T6	3.3V	-	-	-	-	VCCQ
T7	Reserved	-	-	-	-	
T8	Reserved	-	-	-	-	
T9	1.2V	-	-	-	-	VDD
T10	GND	-	-	-	-	VSS,VSSQ
T11	1.2V	-	-	-	-	VDD
T12	GND	-	-	-	-	VSS,VSSQ
T13	1.2V	-	-	-	-	VDD
T14	GND	-	-	-	-	VSS,VSSQ
T15	1.2V	-	-	-	-	VDD
T16	GND	-	-	-	-	VSS,VSSQ
T17	fet_miitx_txd2_1	Ethernet	共通	out	8mA	
T18	avd_miirx_rxd1_1	Ethernet	共通	in	-	
T19	3.3V	-	-	-	-	VCCQ
T20	avd_miirx_rxd2_1	Ethernet	共通	in	-	
T21	clk_miirx_clk_0	Ethernet	共通	in	-	
T22	fet_miitx_txd0_1	Ethernet	共通	out	8mA	
T23	avd_miirx_rxd3_1	Ethernet	共通	in	-	
T24	3.3V	-	-	-	-	VCCQ

表 4-3 端子配置と端子機能 (6/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ 能力	備考
U1	3.3V	-	-	-	-	VCCQ
U2	Reserved	-	-	-	-	
U3	Reserved	-	-	-	-	
U4	Reserved	-	-	-	-	
U5	Reserved	-	-	-	-	
U6	GND	-	-	-	-	VSS,VSSQ
U7	Reserved	-	-	-	-	
U8	TIC0_CPU0_2/PORT_K(4)	CMTW	CPU0	inout	8mA	
U9	TOC0_CPU1_1/PORT_L(1)	CMTW	CPU1	inout	8mA	
U10	1.2V	-	-	-	-	VDD
U11	GND	-	-	-	-	VSS,VSSQ
U12	1.2V	-	-	-	-	VDD
U13	1.2V	-	-	-	-	VDD
U14	1.2V	-	-	-	-	VDD
U15	GND	-	-	-	-	VSS,VSSQ
U16	1.2V	-	-	-	-	VDD
U17	fet_miitx_txd1_1	Ethernet	共通	out	8mA	
U18	fec_miimg_crxmdc_1	Ethernet	共通	out	8mA	
U19	GND	-	-	-	-	VSS,VSSQ
U20	fet_miitx_txd3_1	Ethernet	共通	out	8mA	
U21	fet_miitx_en_1	Ethernet	共通	out	8mA	
U22	3.3V	-	-	-	-	VCCQ
U23	clk_gptp_extern_0	Ethernet	共通	in	-	gPTP 機能
U24	1.2V	-	-	-	-	VDD
V1	GND	-	-	-	-	VSS,VSSQ
V2	Reserved	-	-	-	-	
V3	Reserved	-	-	-	-	
V4	Reserved	-	-	-	-	
V5	Reserved	-	-	-	-	
V6	Reserved	-	-	-	-	
V7	TMRI0_CPU1/PORT_J(2)	TMR	CPU1	inout	8mA	TMRI1_CPU1 と共通端子
V8	TIC1_CPU0_1/PORT_K(2)	CMTW	CPU0	inout	8mA	
V9	TOC1_CPU0_2/PORT_K(7)	CMTW	CPU0	inout	8mA	
V10	TOC1_CPU1_2/PORT_L(7)	CMTW	CPU1	inout	8mA	
V11	SS1_0#/CTS1_0#/ RTS1_0#/PORT_H(1)	SCI	CPU1	inout	8mA	
V12	TXD0_CPU1/PORT_H(3)	SCI	CPU1	inout	8mA	TXD0_1/SDA0_1/MOSI0_1
V13	TXD1_CPU1/PORT_H(7)	SCIF	CPU1	inout	8mA	TXD1_1/SDA1_1/MOSI1_1
V14	RSPCK/PORT_C(5)	SPI	CPU0	inout	8mA	
V15	SSL1/PORT_D(2)	SPI	CPU1	inout	8mA	
V16	GTIOC2A/PORT_A(5)	GPT	CPU0	inout	8mA	
V17	GTIOC3A/PORT_A(7)	GPT	CPU0	inout	8mA	
V18	fec_miimg_crxmdo/mdi_1	Ethernet	共通	inout	8mA	
V19	avd_miirx_err_0	Ethernet	共通	in	-	
V20	fet_miitx_err_0	Ethernet	共通	out	8mA	
V21	avb_pt_capture_0	Ethernet	共通	in	-	gPTP 機能
V22	GND	-	-	-	-	VSS,VSSQ
V23	avd_miirx_rxd0_0	Ethernet	共通	in	-	
V24	GND	-	-	-	-	VSS,VSSQ
W1	1.2V	-	-	-	-	VDD
W2	Reserved	-	-	-	-	
W3	Reserved	-	-	-	-	
W4	Reserved	-	-	-	-	
W5	Reserved	-	-	-	-	
W6	TMRI0_CPU0/PORT_J(2)	TMR	CPU0	inout	8mA	TMRI1_CPU0 と共通端子
W7	TMO0_CPU1/PORT_J(0)	TMR	CPU1	inout	8mA	
W8	3.3V	-	-	-	-	VCCQ
W9	GND	-	-	-	-	VSS,VSSQ
W10	TOC0_CPU1_2/PORT_L(5)	CMTW	CPU1	inout	8mA	
W11	TXD0_CPU0/PORT_G(3)	SCI	CPU0	inout	8mA	TXD0_0/SDA0_0/MOSI0_0
W12	3.3V	-	-	-	-	VCCQ
W13	GND	-	-	-	-	VSS,VSSQ
W14	MOSI/PORT_C(3)	SPI	CPU0	inout	8mA	
W15	SSL3/PORT_D(0)	SPI	CPU1	inout	8mA	
W16	3.3V	-	-	-	-	VCCQ
W17	GND	-	-	-	-	VSS,VSSQ
W18	GTIOC0B/PORT_B(2)	GPT	CPU1	inout	8mA	
W19	avd_miirx_dv_0	Ethernet	共通	in	-	
W20	avd_miitx_col_0	Ethernet	共通	in	-	
W21	clk_miitx_clk_0	Ethernet	共通	in	-	
W22	avd_miitx_crs_0	Ethernet	共通	in	-	
W23	fet_miitx_txd2_0	Ethernet	共通	out	8mA	
W24	1.2V	-	-	-	-	VDD
Y1	1.2V	-	-	-	-	VDD

表 4-3 端子配置と端子機能 (7/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライブ 能力	備考
Y2	Reserved	-	-	-	-	
Y3	Reserved	-	-	-	-	
Y4	Reserved	-	-	-	-	
Y5	SCL1 (FM+)/PORT_F(0)	I2C	CPU1	inout	8mA	I2C 機能で out は LOW/High-Z
Y6	TMO0_CPU0/PORT_I(0)	TMR	CPU0	inout	8mA	
Y7	TMO1_CPU1/PORT_J(3)	TMR	CPU1	inout	8mA	
Y8	TOC0_CPU0_1/PORT_K(1)	CMTW	CPU0	inout	8mA	
Y9	TOC0_CPU0_2/PORT_K(5)	CMTW	CPU0	inout	8mA	
Y10	TOC1_CPU1_1/PORT_L(3)	CMTW	CPU1	inout	8mA	
Y11	SS0_0#/CTS0_0#/RTS0_0#/PORT_G(1)	SCI	CPU0	inout	8mA	
Y12	SS0_1#/CTS0_1#/RTS0_1#/PORT_G(5)	SCIF	CPU0	inout	8mA	
Y13	SS1_1#/CTS1_1#/RTS1_1#/PORT_H(5)	SCIF	CPU1	inout	8mA	
Y14	SSL2/PORT_C(1)	SPI	CPU0	inout	8mA	
Y15	SSL2/PORT_D(1)	SPI	CPU1	inout	8mA	
Y16	SSL0/PORT_D(6)	SPI	CPU1	inout	8mA	
Y17	GTIOC1A/PORT_A(3)	GPT	CPU0	inout	8mA	
Y18	GTETRG/PORT_B(0)	GPT	CPU1	inout	8mA	ch1~4 共通
Y19	GTIOC2B/PORT_B(6)	GPT	CPU1	inout	8mA	
Y20	fet_miitx_en_0	Ethernet	共通	out	8mA	
Y21	fet_miitx_txd0_0	Ethernet	共通	out	8mA	
Y22	avd_miirx_rxd1_0	Ethernet	共通	in	-	
Y23	avd_miirx_rxd2_0	Ethernet	共通	in	-	
Y24	3.3V	-	-	-	-	VCCQ
AA1	3.3V	-	-	-	-	VCCQ
AA2	Reserved	-	-	-	-	
AA3	Reserved	-	-	-	-	
AA4	CTX1	CAN	CPU1	out	8mA	
AA5	SCL0 (FM+)/PORT_E(0)	I2C	CPU0	inout	8mA	I2C 機能で out は LOW/High-Z
AA6	3.3V	-	-	-	-	VCCQ
AA7	GND	-	-	-	-	VSS,VSSQ
AA8	TIC1_CPU0_2/PORT_K(6)	CMTW	CPU0	inout	8mA	
AA9	TIC0_CPU1_2/PORT_L(4)	CMTW	CPU1	inout	8mA	
AA10	3.3V	-	-	-	-	VCCQ
AA11	GND	-	-	-	-	VSS,VSSQ
AA12	RXD1_CPU0/PORT_G(6)	SCIF	CPU0	inout	8mA	RXD1_0/SCL1_0/MISO1_0
AA13	TXD1_CPU0/PORT_G(7)	SCIF	CPU0	inout	8mA	TXD1_0/SDA1_0/MOSI1_0
AA14	3.3V	-	-	-	-	VCCQ
AA15	GND	-	-	-	-	VSS,VSSQ
AA16	MISO/PORT_D(4)	SPI	CPU1	inout	8mA	
AA17	GTIOC0A/PORT_A(1)	GPT	CPU0	inout	8mA	
AA18	GTIOC3B/PORT_A(8)	GPT	CPU0	inout	8mA	
AA19	GTIOC1B/PORT_B(4)	GPT	CPU1	inout	8mA	
AA20	fec_miimg_crxmdc_0	Ethernet	共通	out	8mA	
AA21	avd_miirx_rxd3_0	Ethernet	共通	in	-	
AA22	fet_miitx_txd1_0	Ethernet	共通	out	8mA	
AA23	fet_miitx_txd3_0	Ethernet	共通	out	8mA	
AA24	1.2V	-	-	-	-	VDD
AB1	GND	-	-	-	-	VSS,VSSQ
AB2	GND	-	-	-	-	VSS,VSSQ
AB3	GND	-	-	-	-	VSS,VSSQ
AB4	CTX0	CAN	CPU0	out	8mA	
AB5	SDA0 (FM+)/PORT_E(1)	I2C	CPU0	inout	8mA	I2C 機能で out は LOW/High-Z
AB6	TMCIO_CPU0/PORT_I(1)	TMR	CPU0	inout	8mA	TMCIO_CPU0 と共通端子
AB7	TMCIO_CPU1/PORT_J(1)	TMR	CPU1	inout	8mA	TMCIO_CPU1 と共通端子
AB8	TOC1_CPU0_1/PORT_K(3)	CMTW	CPU0	inout	8mA	
AB9	TIC1_CPU1_1/PORT_L(2)	CMTW	CPU1	inout	8mA	
AB10	SCK0_CPU0/PORT_G(0)	SCI	CPU0	inout	8mA	
AB11	SCK0_CPU1/PORT_H(0)	SCI	CPU1	inout	8mA	
AB12	SCK1_CPU0/PORT_G(4)	SCIF	CPU0	inout	8mA	
AB13	RXD1_CPU1/PORT_H(6)	SCIF	CPU1	inout	8mA	RXD1_1/SCL1_1/MISO1_1
AB14	SSL1/PORT_C(2)	SPI	CPU0	inout	8mA	
AB15	SSL0/PORT_C(6)	SPI	CPU0	inout	8mA	
AB16	RSPCK/PORT_D(5)	SPI	CPU1	inout	8mA	
AB17	GTIOC0B/PORT_A(2)	GPT	CPU0	inout	8mA	
AB18	GTIOC2B/PORT_A(6)	GPT	CPU0	inout	8mA	
AB19	GTIOC1A/PORT_B(3)	GPT	CPU1	inout	8mA	
AB20	GTIOC3B/PORT_B(8)	GPT	CPU1	inout	8mA	
AB21	fec_miimg_cxrmdo/mdi_0	Ethernet	共通	inout	8mA	
AB22	GND	-	-	-	-	VSS,VSSQ
AB23	GND	-	-	-	-	VSS,VSSQ
AB24	GND	-	-	-	-	VSS,VSSQ
AC1	GND	-	-	-	-	VSS,VSSQ
AC2	GND	-	-	-	-	VSS,VSSQ
AC3	GND	-	-	-	-	VSS,VSSQ

表 4-3 端子配置と端子機能 (8/8)

CBGA Pin No.	端子名	機能	CPU	入出力 方向	ドライ 能力	備考
AC4	CRX0	CAN	CPU0	in	-	
AC5	CRX1	CAN	CPU1	in	-	
AC6	SDA1 (FM+)/PORT_F(1)	I2C	CPU1	inout	8mA	I2C 機能で out は LOW/High-Z
AC7	TMO1 CPU0/PORT_I(3)	TMR	CPU0	inout	8mA	
AC8	TIC0 CPU0_1/PORT_K(0)	CMTW	CPU0	inout	8mA	
AC9	TIC0 CPU1_1/PORT_L(0)	CMTW	CPU1	inout	8mA	
AC10	TIC1 CPU1_2/PORT_L(6)	CMTW	CPU1	inout	8mA	
AC11	RXD0_CPU0/PORT_G(2)	SCI	CPU0	inout	8mA	RXD0_0/SCL0_0/ MISO0_0
AC12	RXD0_CPU1/PORT_H(2)	SCI	CPU1	inout	8mA	RXD0_1/SCL0_1/ MISO0_1
AC13	SCK1 CPU1/PORT_H(4)	SCIF	CPU1	inout	8mA	
AC14	SSL3/PORT_C(0)	SPI	CPU0	inout	8mA	
AC15	MISO/PORT_C(4)	SPI	CPU0	inout	8mA	
AC16	MOSI/PORT_D(3)	SPI	CPU1	inout	8mA	
AC17	GTETRG/PORT_A(0)	GPT	CPU0	inout	8mA	ch1~4 共通
AC18	GTIOC1B/PORT_A(4)	GPT	CPU0	inout	8mA	
AC19	GTIOC0A/PORT_B(1)	GPT	CPU1	inout	8mA	
AC20	GTIOC2A/PORT_B(5)	GPT	CPU1	inout	8mA	
AC21	GTIOC3A/PORT_B(7)	GPT	CPU1	inout	8mA	
AC22	GND	-	-	-	-	VSS,VSSQ
AC23	GND	-	-	-	-	VSS,VSSQ
AC24	GND	-	-	-	-	VSS,VSSQ
AD2	GND	-	-	-	-	VSS,VSSQ
AD3	GND	-	-	-	-	VSS,VSSQ
AD4	1.2V	-	-	-	-	VDD
AD5	3.3V	-	-	-	-	VCCQ
AD6	1.2V	-	-	-	-	VDD
AD7	GND	-	-	-	-	VSS,VSSQ
AD8	1.2V	-	-	-	-	VDD
AD9	3.3V	-	-	-	-	VCCQ
AD10	GND	-	-	-	-	VSS,VSSQ
AD11	1.2V	-	-	-	-	VDD
AD12	1.2V	-	-	-	-	VDD
AD13	GND	-	-	-	-	VSS,VSSQ
AD14	3.3V	-	-	-	-	VCCQ
AD15	1.2V	-	-	-	-	VDD
AD16	1.2V	-	-	-	-	VDD
AD17	3.3V	-	-	-	-	VCCQ
AD18	GND	-	-	-	-	VSS,VSSQ
AD19	1.2V	-	-	-	-	VDD
AD20	1.2V	-	-	-	-	VDD
AD21	3.3V	-	-	-	-	VCCQ
AD22	GND	-	-	-	-	VSS,VSSQ
AD23	GND	-	-	-	-	VSS,VSSQ

4.2 機械的及び熱的特性

個別仕様書で保証される機械的及び熱的特性（耐環境性）を表 4-4 に示す。

表4-4 機械的及び熱的特性

項目		性能
温度	温度サイクル	-65℃、+150℃ 各 10 分), 100 サイクル
	熱衝撃	(-55℃、+125℃ 各 5 分)、15 サイクル
	はんだ耐熱性	・ JERG-0-043E 5.7.1 項 全体加熱法 の参考温度プロファイルの範囲 (JERG-0-043E 表 5-3 IV 本加熱部のはんだ材質 : Sn63/Pb37 又は Sn60/Pb40) ・ 加熱回数 2 回
	耐湿性	80~98%RH, -10℃~+65℃ 10 サイクル
機械環境	振動	20~2000Hz、20G、3 方向 (X、Y、Z) ⁽¹⁾ 各 4 回、4 分/回、
	衝撃	1,500g、0.5ms、6 方向 (X1、X2、Y2、Y1、Z1、Z2) ⁽¹⁾ 各 5 回
	定加速度	5000G、1 分間、Y1 方向 ⁽¹⁾
	はんだボールプル強度	JESD22-B115A (プル強度の要求は下記の通り) ・ 共晶はんだボール 40.0MPa 以上 ・ 高温はんだボール 19.7MPa 以上
その他	静電気破壊強度	■ HBM MIL-STD-883L Method 3015.9 (ANSI/ESDA/JEDEC JS-001) 放電容量=100pF, 放電抵抗=1.5kΩ, ±2000V ■ MM JEDEC JESD22-A115C 放電容量=200pF, 放電抵抗=0Ω, ±300V ■ CDM ANSI/ESDA/JEDEC JS-002-2018 ±750V

注 ⁽¹⁾ 方向の定義は、JAXA-QTS-2010D の C.2.2 項を適用する。

5. 各種動作環境条件における特性

QM を使用した開発確認試験、及び、諸特性評価試験の結果を示す。

a) 電気的特性

出力特性 (VOH/L) の特性を図 5-1 に示す。

b) 消費電流

- ・ 静止電源電流 (IDDQ) の温度特性を図 5-2 に示す。
- ・ 消費電流 (動作時) の周波数特性を図 5-3 に示す。
- ・ 消費電流 (動作時) の温度特性を図 5-4 に示す。
- ・ 消費電流の設計値を表 5-1 に示す。
- ・ 消費電力 (CoreMark 実行時) の周波数特性・温度特性を以下に示す。
 - ・ 1 コアで CoreMark 実行時 (CPU0 : CoreMark 実行、CPU1 : スリープ)
Tj=-40°C : 図 5-5、Tj=室温 : 図 5-6、Tj=+125°C : 図 5-7
 - ・ 2 コアで CoreMark 実行時
Tj=-40°C : 図 5-8、Tj=室温 : 図 5-9、Tj=+125°C : 図 5-10

c) スクリーニング (バーンイン試験 (+125°C、240 時間))、及び、
開発確認試験 グループ C サブグループ 1 (定常動作寿命試験 (+125°C、2000 時間))
における入出力特性 (VIH/L, VOH/L)、及び、消費電流 (IDDQ) の測定結果を図 5-11
から図 5-13 に示す。

d) 開発確認試験 グループ E サブグループ 1 の定常状態放射線量試験 (TID 試験) に
おける入出力特性 (VIH/L, VOH/L)、及び、消費電流 (IDDQ) の測定結果を図 5-14
から図 5-16 に示す。

e) 開発確認試験 グループ E サブグループ 2 のシングルイベント試験における SEE 耐性を表 5-2 に示す。

- ・表 5-4 に試験条件を示す。

- ・表 5-4 No. 1 SEU① (スクラビングなし) のクロスセクションカーブを図 5-17、断面積を表 5-5 に示す。

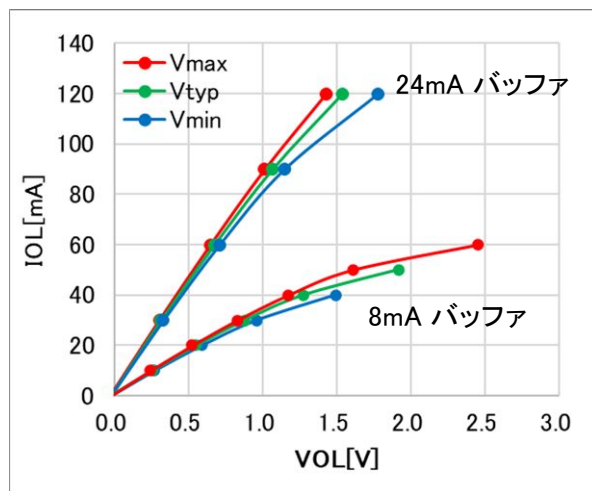
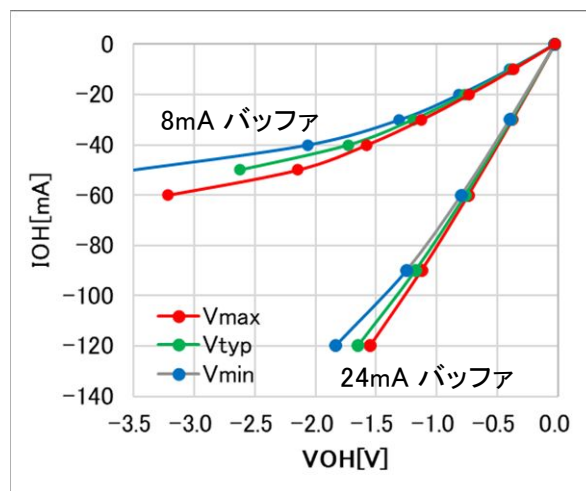
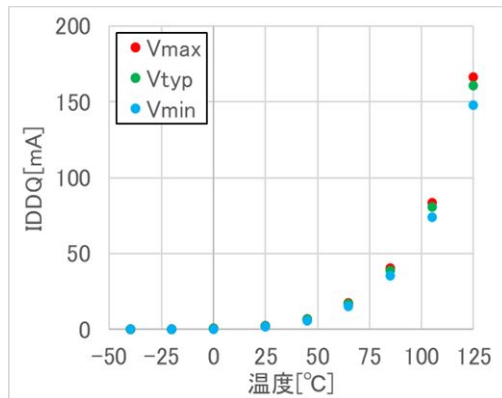
- ・表 5-4 No. 2 SEU② (スクラビングあり) の計算値と試験結果の比較を図 5-18 に示す。

計算値は、スクラビング機能が要求通り働いた場合の SRAM の SEU 発生数 (リード・モディファイ・ライトで修復できない 1 ワード当たり 2 ビット以上の SEU が発生する数) を示す。計算値と試験結果が一致することから、供試体において要求通りスクラビング機能が働いたと判断する。

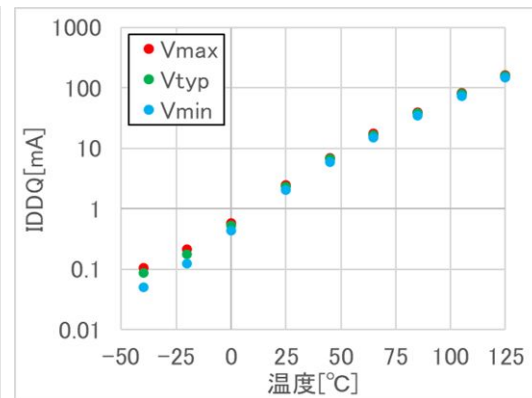
- ・表 5-4 No. 3 SEU③ (ロジック部) のクロスセクションカーブを図 5-19、断面積を表 5-6 に示す。

- ・表 5-4 No. 4 SEL の試験結果について、LET=88 [MeV/(mg/cm²)] でエラーなし。

f) 諸特性評価試験のプロトン試験におけるプロトン耐性を図 5-20 及び表 5-6 に示す。

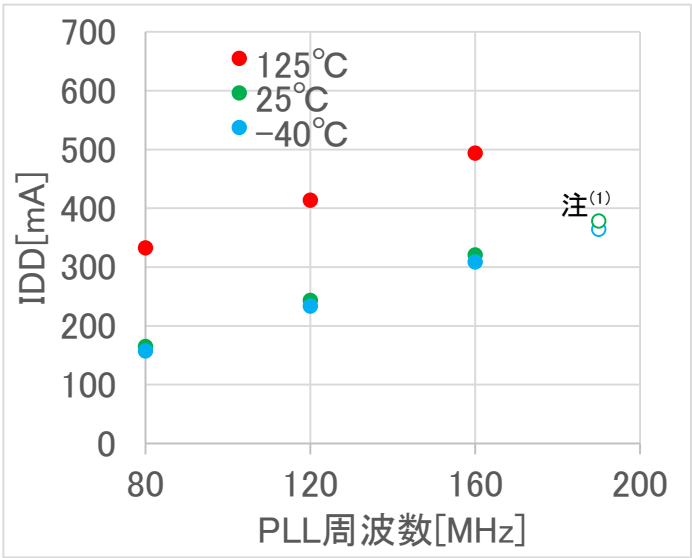
(a) V_{OL} - I_{OL} 特性(b) V_{OH} - I_{OH} 特性図 5-1 出力特性(V_{OH}/L)の特性

(a) 縦軸を線形表示



(b) 縦軸を対数表示

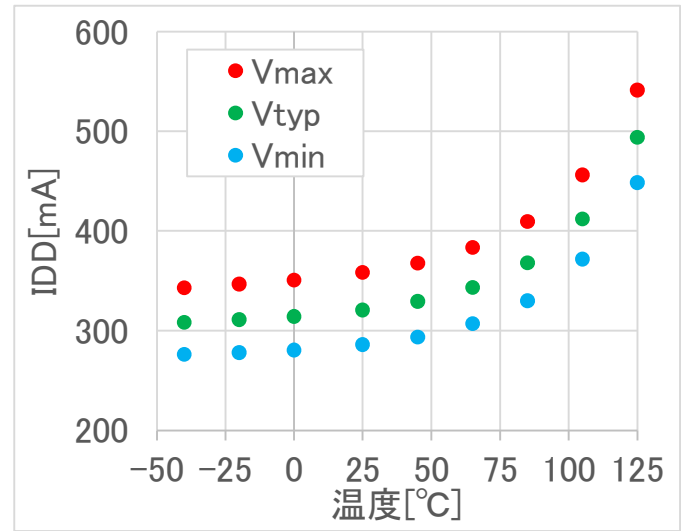
図 5-2 静止電流の温度特性



Vtyp(VCCQ=3.3V, VDD=1.2V), MPU 全体 (2 コア使用時)

注⁽¹⁾ 25°C 及び -40°C における 190MHz の IDD の外挿値

図 5-3 VDD の消費電流 (動作時) の周波数特性



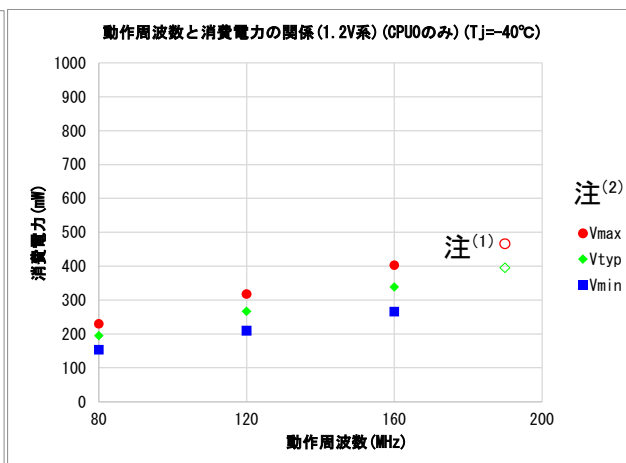
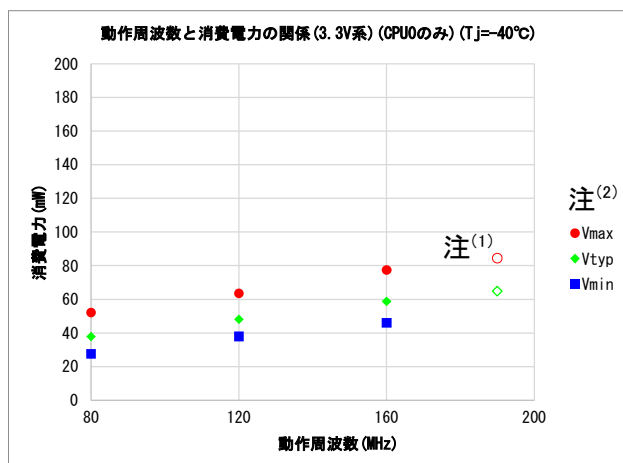
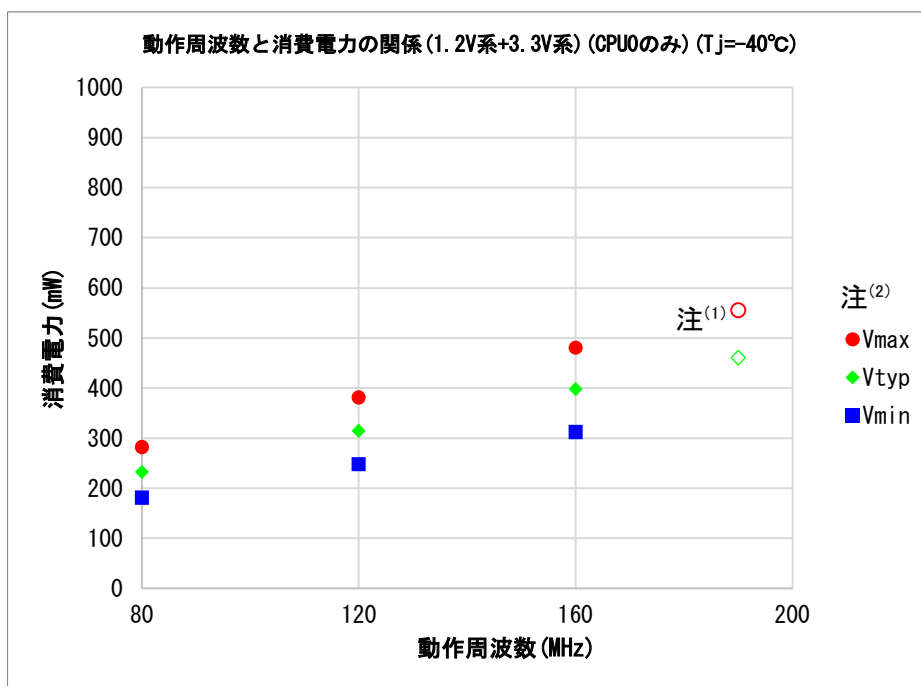
160MHz, MPU 全体 (2 コア使用時)

注 電源電圧条件: Vmax(VCCQ=3.6V, VDD=1.29V)、
Vtyp(VCCQ=3.3V, VDD=1.2V)、Vmin(VCCQ=3.0V, VDD=1.11V)

図 5-4 VDD の消費電流 (動作時) の温度特性

表 5-1 消費電流の設計値

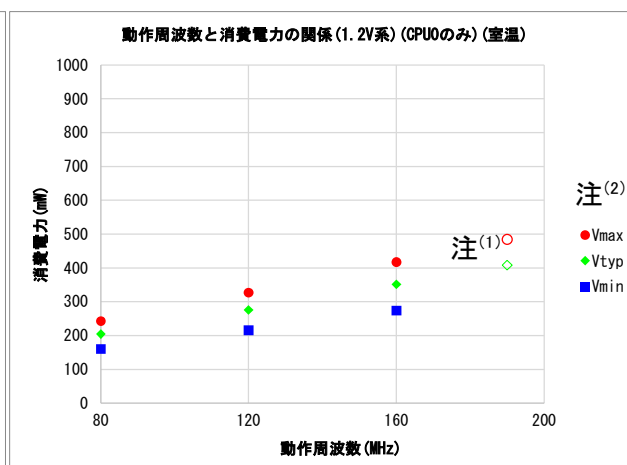
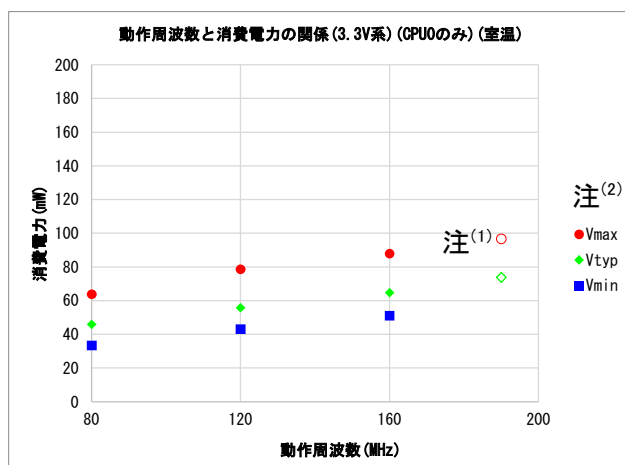
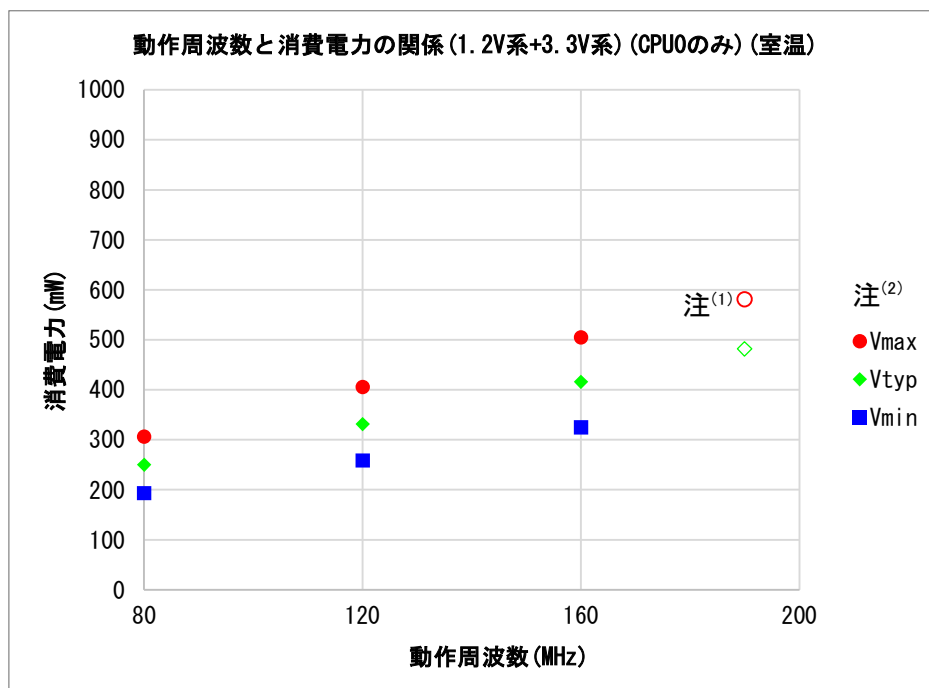
項目	記号	条件	Min.	Typ.	Max	単位	備考
静止電流	IDDQ(VDD)	VDD=1.2V, Tj=25°C	—	2.4	—	mA	設計値
		VDD=1.29V, Tj=125°C	—	—	416	mA	設計値
	IDDQ(VCCQ)	VCCQ=3.6V, Tj=125°C	—	—	40	uA	設計値
動作電流	IDD(VCCQ)	VCCQ=3.6V, Tj=125°C	—	—	45	mA	設計値



注⁽¹⁾ 25°C及び-40°Cにおける 190MHz の IDD の外挿値

注⁽²⁾ 電源電圧条件 : Vmax (VCCQ=3.6V, VDD=1.29V)、Vtyp (VCCQ=3.3V, VDD=1.2V)、
Vmin (VCCQ=3.0V, VDD=1.11V)

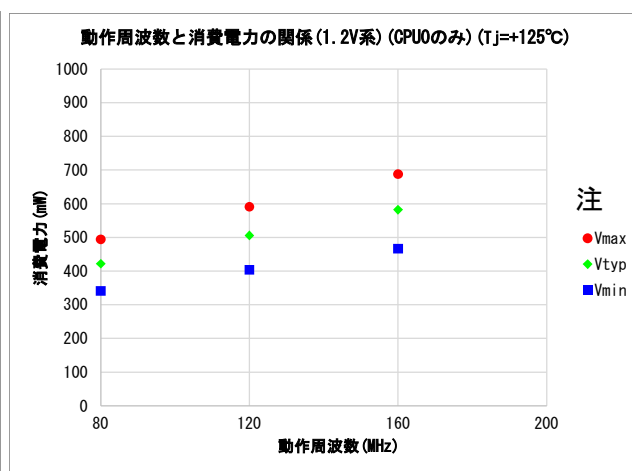
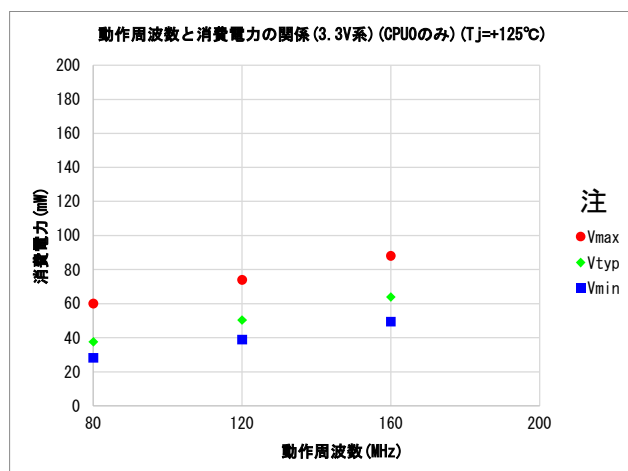
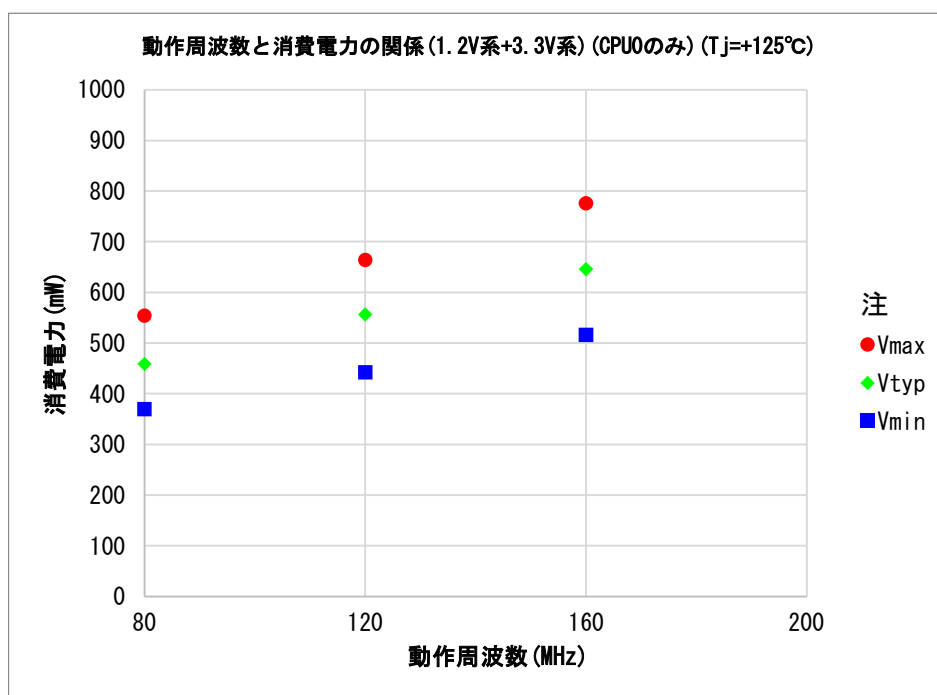
図 5-5 消費電力 (CoreMark 実行時) 【1 コアで CoreMark 実行時、Tj=-40°C】



注⁽¹⁾ 25℃及び-40℃における190MHzのIDDの外挿値

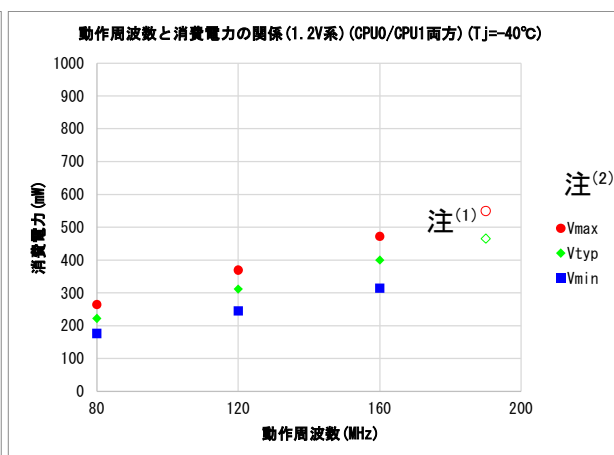
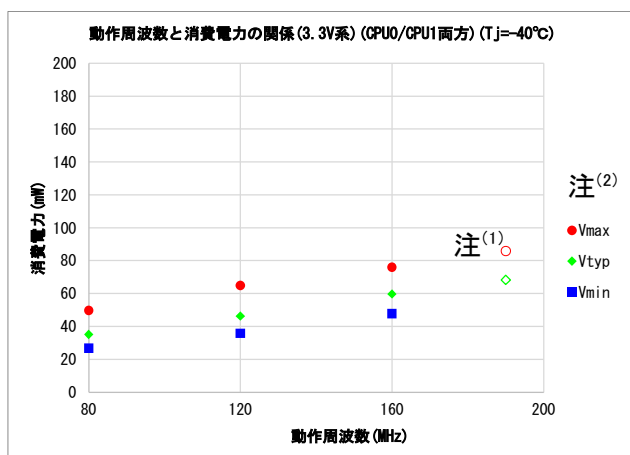
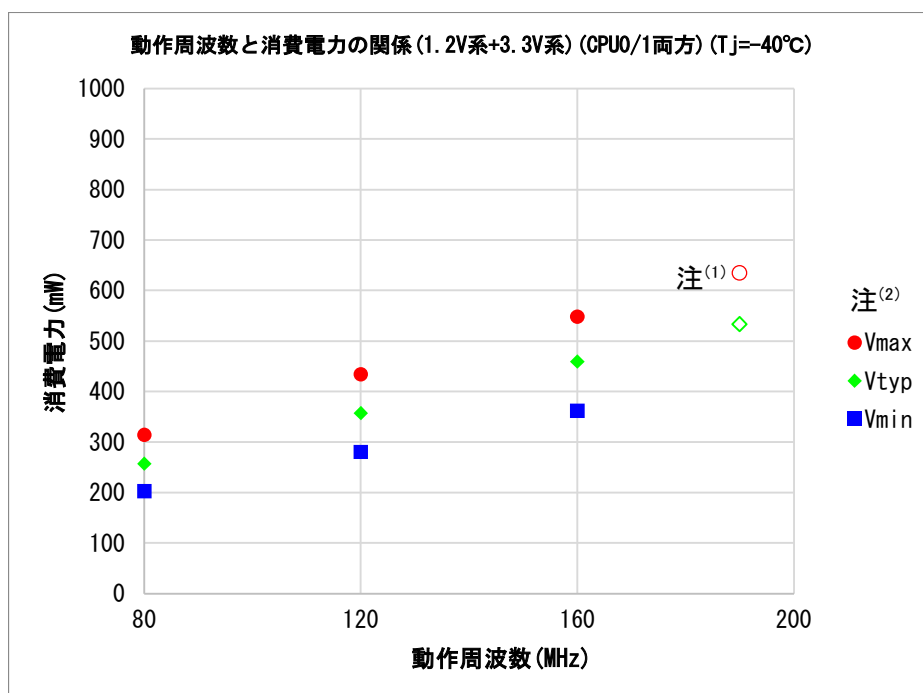
注⁽²⁾ 電源電圧条件：Vmax (VCCQ=3.6V, VDD=1.29V)、Vtyp (VCCQ=3.3V, VDD=1.2V)、Vmin (VCCQ=3.0V, VDD=1.11V)

図 5-6 消費電力 (CoreMark 実行時) 【1コアで CoreMark 実行時、Tj=室温】



注 電源電圧条件 : Vmax (VCCQ=3.6V, VDD=1.29V)、Vtyp (VCCQ=3.3V, VDD=1.2V)、
Vmin (VCCQ=3.0V, VDD=1.11V)

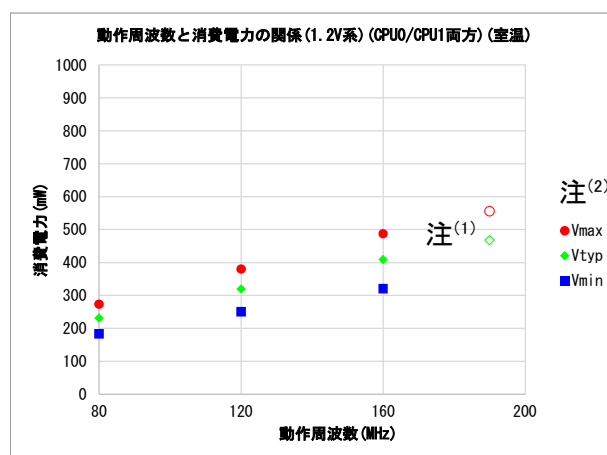
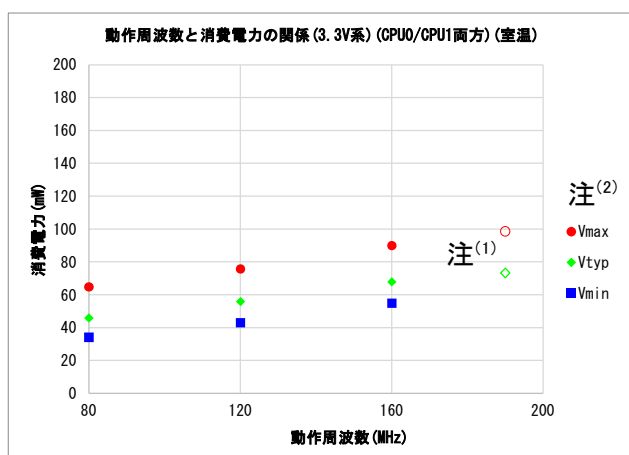
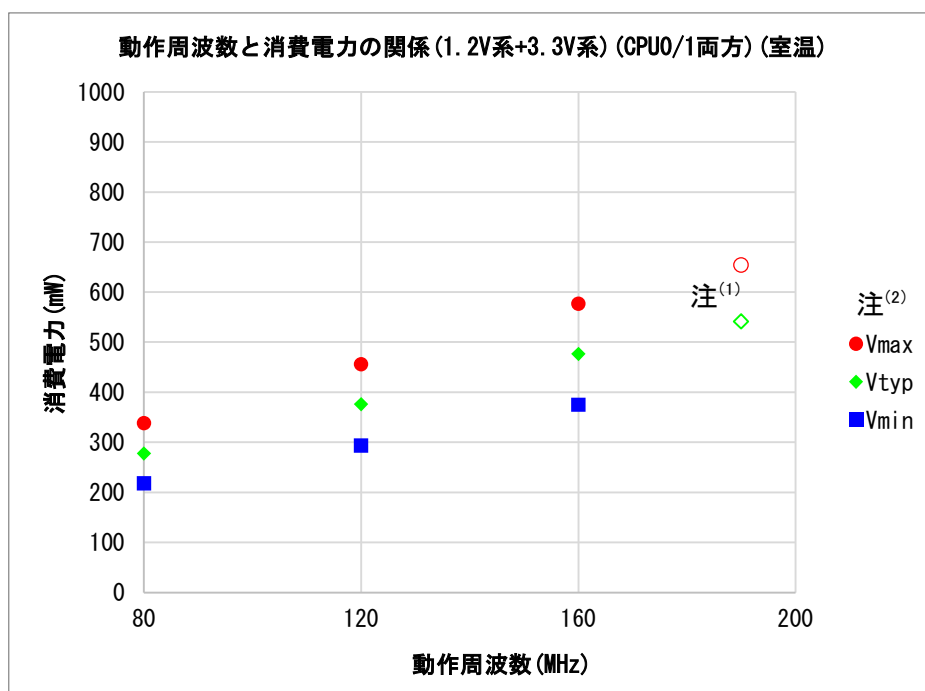
図 5-7 消費電力 (CoreMark 実行時) 【1 コアで CoreMark 実行時、Tj=+125°C】



注⁽¹⁾ 25°C及び-40°Cにおける190MHzのIDDの外挿値

注⁽²⁾ 電源電圧条件: Vmax (VCCQ=3.6V, VDD=1.29V)、Vtyp (VCCQ=3.3V, VDD=1.2V)、Vmin (VCCQ=3.0V, VDD=1.11V)

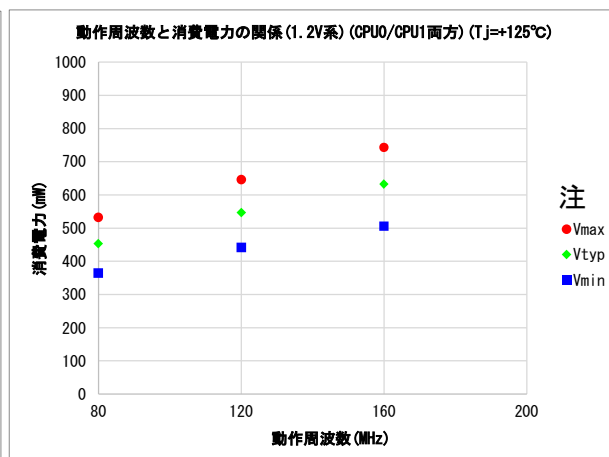
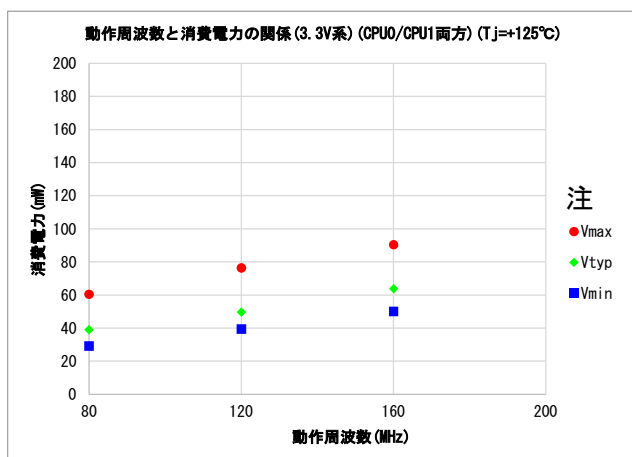
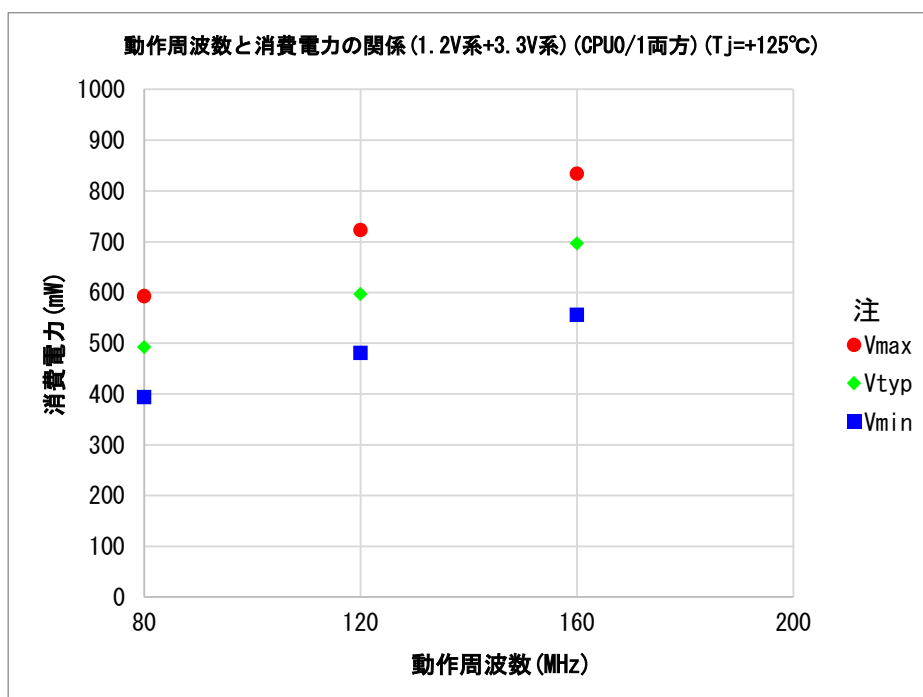
図 5-8 消費電力 (CoreMark 実行時) 【2コアで CoreMark 実行時、Tj=-40°C】



注⁽¹⁾ 25℃及び-40℃における190MHzのIDDの外挿値注⁽¹⁾

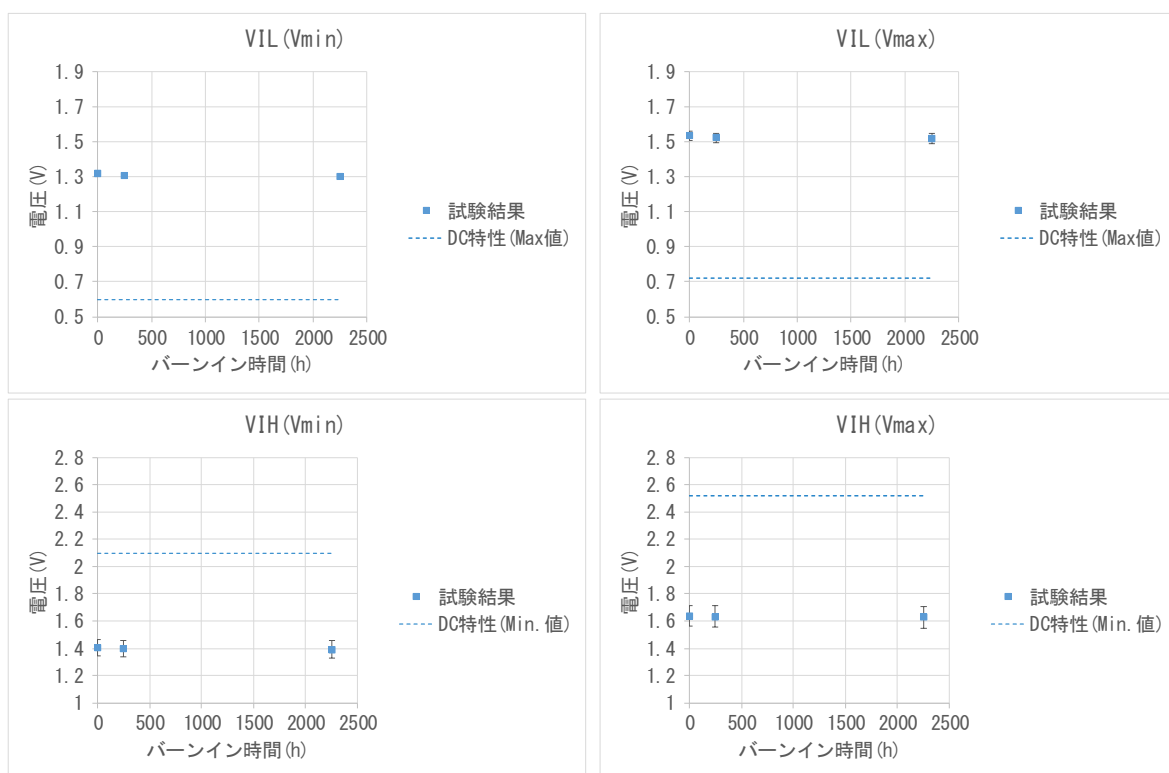
注⁽²⁾ 電源電圧条件：Vmax (VCCQ=3. 6V, VDD=1. 29V)、Vtyp (VCCQ=3. 3V, VDD=1. 2V)、
Vmin (VCCQ=3. 0V, VDD=1. 11V)

図 5-9 消費電力 (CoreMark 実行時) 【2コアで CoreMark 実行時、Tj=室温】



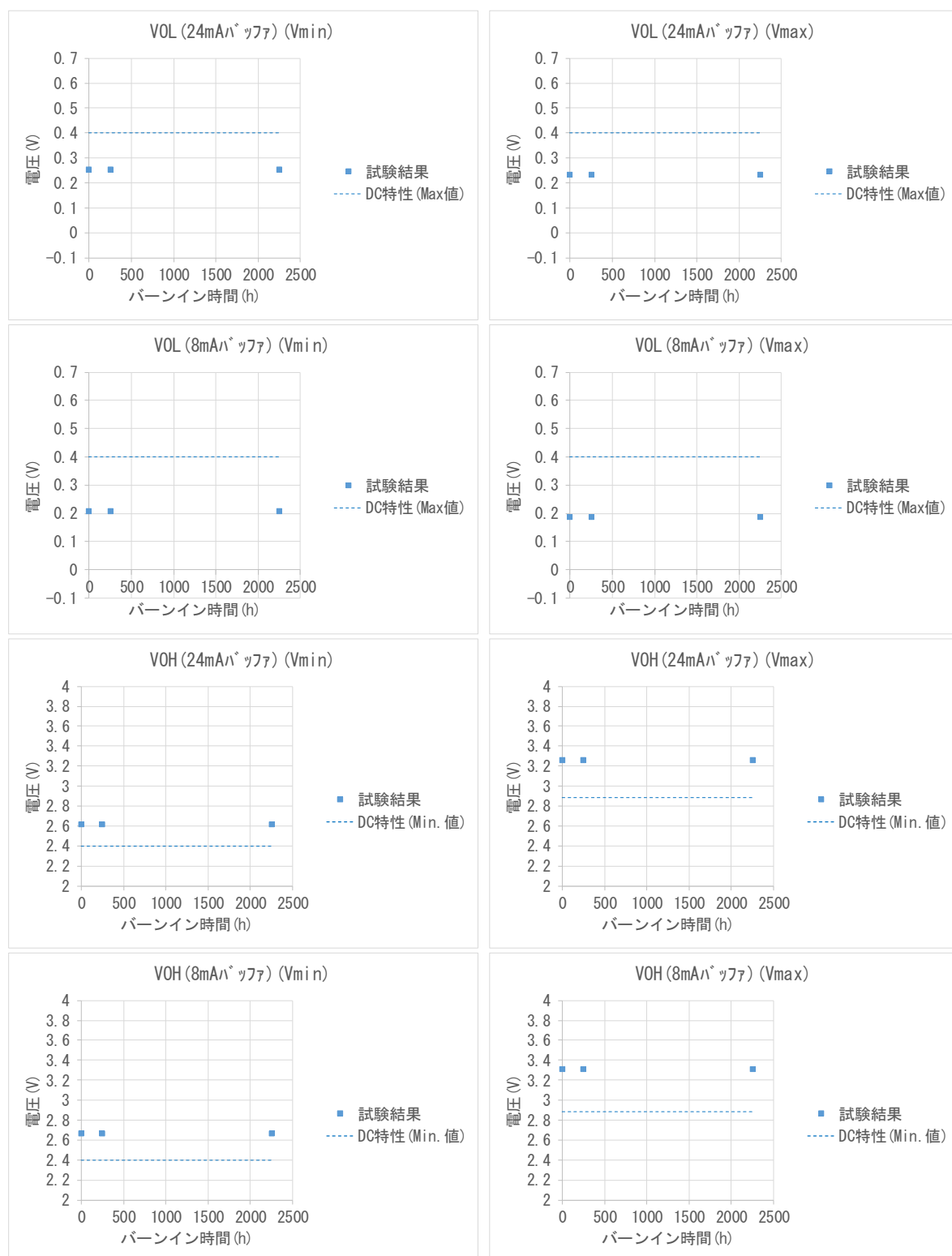
注 電源電圧条件 : Vmax (VCCQ=3.6V, VDD=1.29V)、Vtyp (VCCQ=3.3V, VDD=1.2V)、
Vmin (VCCQ=3.0V, VDD=1.11V)

図 5-10 消費電力 (CoreMark 実行時) 【2 コアで CoreMark 実行時、Tj=+125°C】



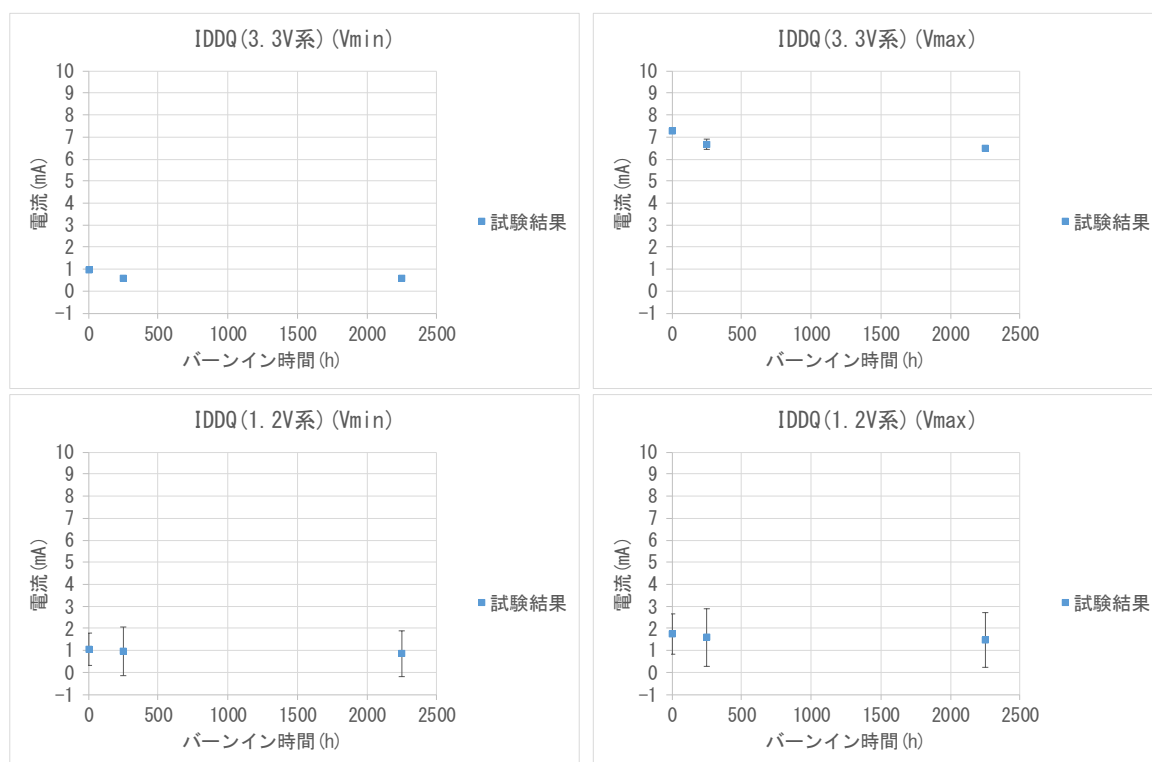
注 電源電圧条件 : Vmin (VCCQ=3.0V, VDD=1.11V)、Vmax (VCCQ=3.6V, VDD=1.29V)

図 5-11 スクリーニング(バーンイン)、及び、グループ C サブグループ 1 (定常動作寿命試験)における入力特性 (VIL/VIH)



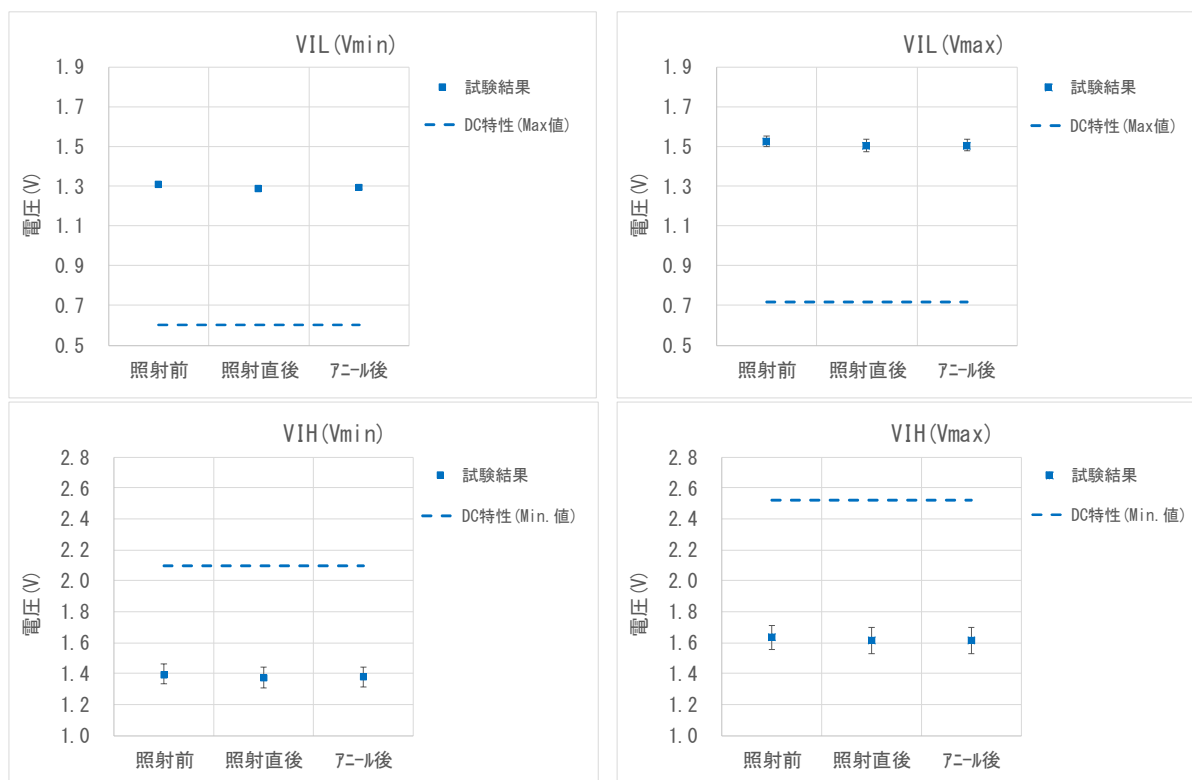
注 電源電圧条件 : Vmin (VCCQ=3.0V, VDD=1.11V)、Vmax (VCCQ=3.6V, VDD=1.29V)

図 5-12 スクリーニング(バーンイン)、及び、グループ C サブグループ 1 (定常動作寿命試験)における出力特性 (VOL/VOH)



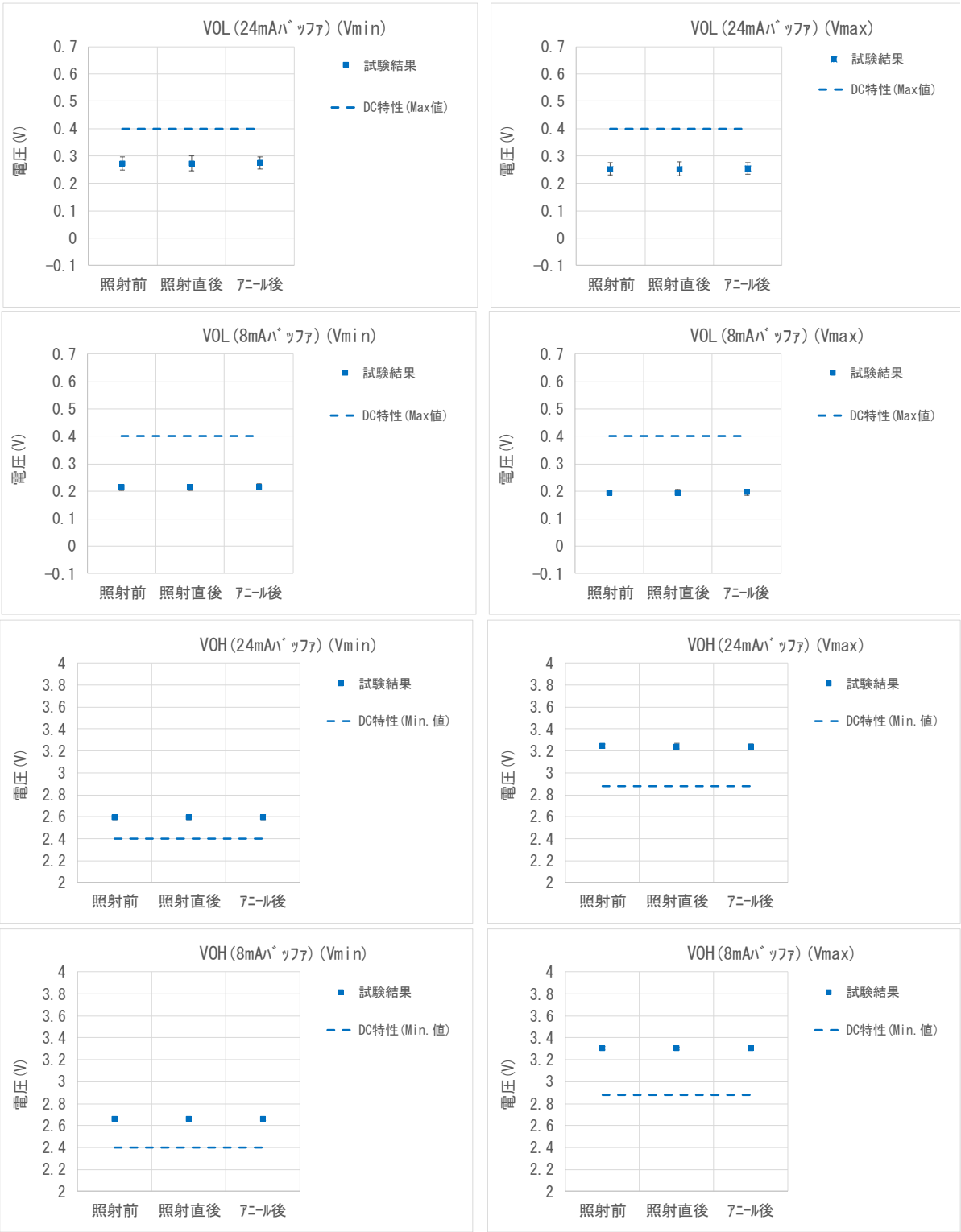
注 電源電圧条件 : Vmin(VCCQ=3.0V, VDD=1.11V)、Vmax(VCCQ=3.6V, VDD=1.29V)

図 5-13 スクリーニング(バーンイン)、及び、グループ C サブグループ 1(定常動作寿命試験)における消費電流(IDDQ)



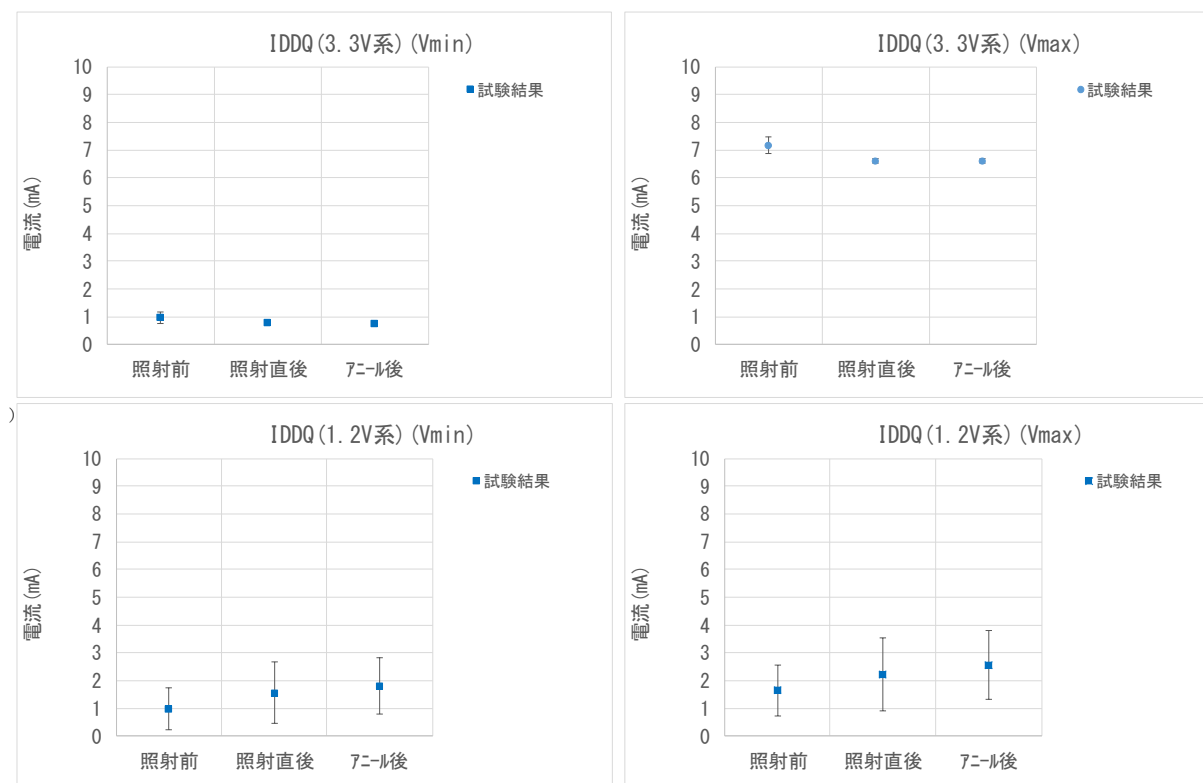
注 電源電圧条件 : Vmin(VCCQ=3.0V, VDD=1.1V)、 Vmax(VCCQ=3.6V, VDD=1.29V)

図 5-14 グループ E サブグループ 1 (定常状態放射線量試験(TID 試験))における
入力特性 (VIL/VIH)



注 電源電圧条件 : Vmin (VCCQ=3.0V, VDD=1.11V)、Vmax (VCCQ=3.6V, VDD=1.29V)

図 5-15 グループ E サブグループ 1 (定常状態放射線量試験 (TID 試験)) における出力特性 (VOL/VOH)



注 電源電圧条件 : Vmin(VCCQ=3.0V, VDD=1.1V)、Vmax(VCCQ=3.6V, VDD=1.29V)

図 5-16 グループ E サブグループ 1 (定常状態放射線量試験(TID 試験))における消費電流 (IDDQ)

表 5-2 グループ E サブグループ 2 シングルイベント試験 SEE 耐性

	評価ブロック		飽和反転断面積 ⁽¹⁾	LET 閾値 [MeV/(mg/cm ²)]	試験結果 との対応
SEU	メモリ部	ローカル RAM	エラーなし	— ⁽²⁾	表 5-4 No. 1 SEU①
		コード用 RAM 及び共有メモリ	7.7x10 ⁻¹⁰ [cm ² /bit]	≥ 25 ⁽³⁾ ≥ 40 ⁽⁴⁾	表 5-4 No. 1 SEU① 表 5-4 No. 2 SEU②
	ロジック部	代表的な動作と して Quicksort プ ログラム動作時 (動作周波数 =200MHz)	2.1x10 ⁻⁷ [cm ² /device] ⁽⁵⁾	≥ 7 ⁽⁵⁾	表 5-4 No. 3 SEU③
SEL	I/O 部	—	エラーなし	— ⁽⁶⁾	表 5-4 No. 4 SEL
	メモリ部 ⁽⁷⁾ ロジック部 ⁽⁷⁾	—	—	—	—

注(1) 試験結果の平均値を記載。

注(2) LET=0.8, 4, 7, 17, 41, 68 でエラーなし。エラーなしのため定義不可。

注(3) ISS 軌道において Scrubbing Period = 327680[秒]でスクラビング機能を使用した場合。

注(4) GEO 軌道において Scrubbing Period = 1310[秒]でスクラビング機能を使用した場合。

注(5) 参考情報として、SEU ロジック部の試験結果より算出した軌道上エラー数・エラー率を表 5-3 に示す。

注(6) LET=88 でエラーなし。エラーなしのため定義不可。

注(7) SOI 構造であり、寄生サイリスタが形成されないため、ラッチアップフリー。

表 5-3 (参考情報)SEU ロジック部の試験結果より算出した軌道上エラー数・エラー率

飽和反転断面積 [cm ² /device]	LET 閾値 [MeV/(mg/cm ²)]	軌道	アルミ厚: 100mil [2.54mm]				エラー数・エラー率の計算結果			
			軌道上積分フラックス [1/m ² /s/sr]		軌道上積分フラックス [1/cm ² /day]		エラー数 [error/day]		エラー率 [FIT]	
			SolarMin	SolarMax	SolarMin	SolarMax	SolarMin	SolarMax	SolarMin	SolarMax
2.1x10 ⁻⁷	7	ISS	7.93E-04	9.99E-05	8.61E-02	1.08E-02	1.81E-08	2.28E-09	0.8	0.1
		GEO	1.93E-02	2.37E-03	2.10E+00	2.57E-01	4.40E-07	5.40E-08	18.3	2.3

表 5-4 グループ E サブグループ 2 シングルイベント試験 試験条件

No.	項目名	供試体条件				照射条件		
		動作条件	電源電圧 (1)	ポード [*] 表面温度	供試体数量 (2)	イオン種 (LET) (3) (4)	照射角度 (5)	フルエンス [ions/cm ²]
1	SEU① (スクラビングなし)	ローカル RAM、コード用 RAM および共有メモリに対して、スクラビング機能を使用しない動作とする。	VCCQ= 3.3V VDD= 1.2V	室温	4 個	Xe (68)	0°	1 × 10 ⁶ 以上
						Xe (41)		
						Kr (17)		
						Ar (7)		
						Ar (4)		
						C (0.8)		2 × 10 ⁷ 以上
2	SEU② (スクラビングあり)	コード用 RAM および共有メモリに対して、スクラビング機能を使用する動作とする。	VCCQ= 3.3V VDD= 1.2V	室温	4 個	Xe (41)	0°	1 × 10 ⁶ 以上
3	SEU③ (ロジック部)	ロジック部に対して、ソート演算を実施する動作とする。	VCCQ= 3.3V VDD= 1.2V	室温	4 個	Xe (68)	0°	1 × 10 ⁷ 以上
						Xe (41)		
						Kr (17)		
						Ar (7)		
						Ar (4)		
4	SEL	SEU① (スクラビングなし) と同じ動作状態とする。	VCCQ= 3.6V VDD= 1.3V	+120°C	4 個	Os (88)	0°	1 × 10 ⁸ 以上

注 (1) 試験時の電源電圧設定値。

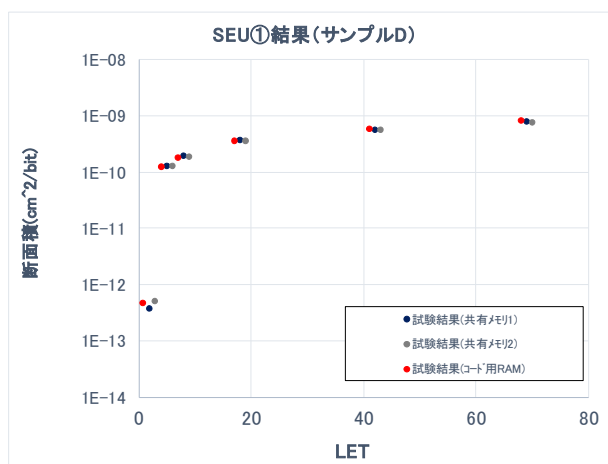
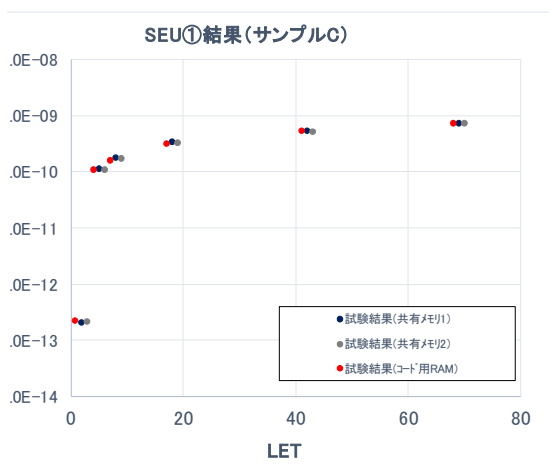
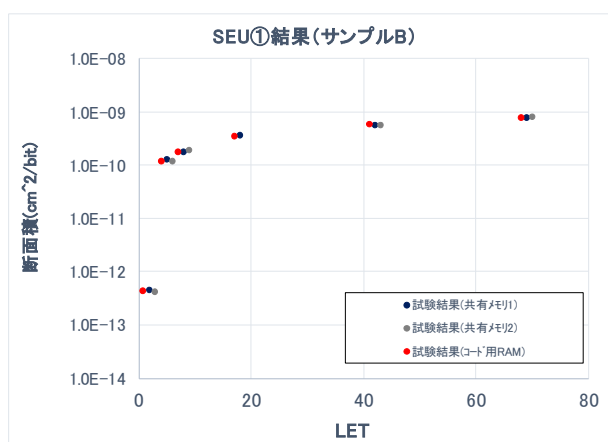
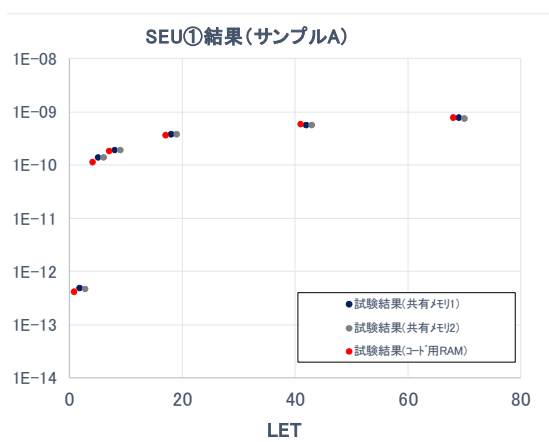
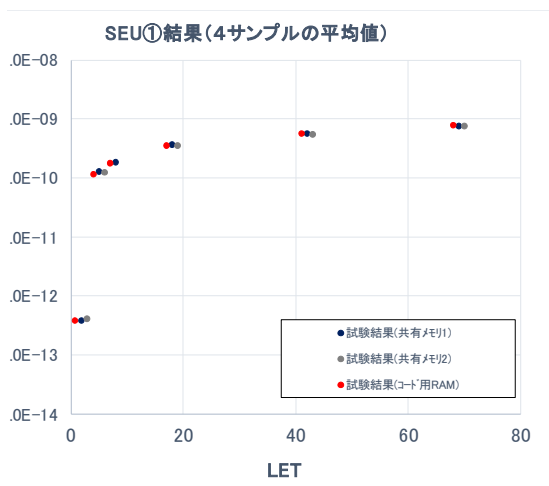
注 (2) SEU①、SEU②、SEU③ならびに SEL の供試体は、互いに共有する場合あり。

注 (3) LET の単位は MeV/(mg/cm²) であり、本資料において以下同様とする。

注 (4) 照射設備は以下の通り。

- ・ Os (88) 国立研究開発法人 量子科学技術研究開発機構 高崎量子応用研究所 イオン照射研究施設
- ・ Os (88) 以外 国立研究開発法人 理化学研究所 仁科加速器科学研究センター AVF&RRC 加速器 E5A コース

注 (5) 供試体の半導体チップ面に垂直な方向と平行で、かつ半導体チップ BEOL 側から基板側に向かってビームが入射するケースを照射角度 0° とする。



注 試験結果を確認しやすくするため、共有メモリ1はLETを+1、共有メモリ2はLETを+2してプロットしている。

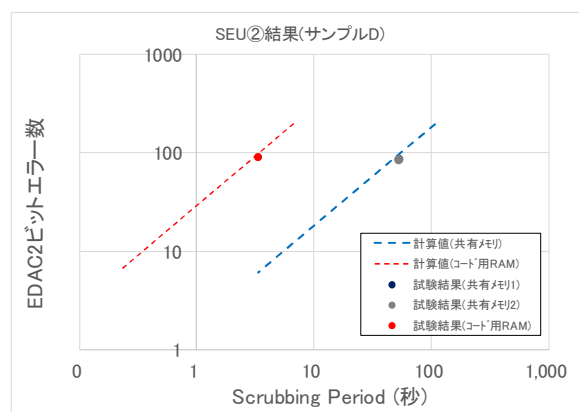
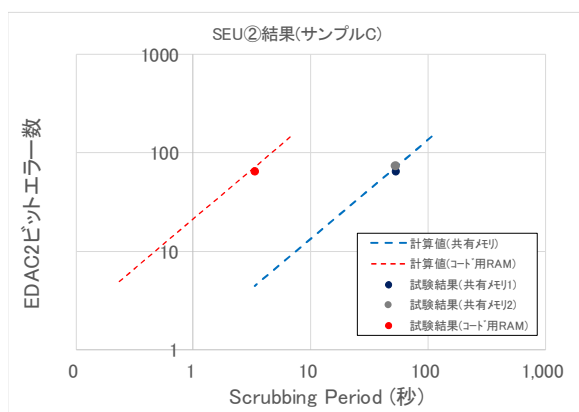
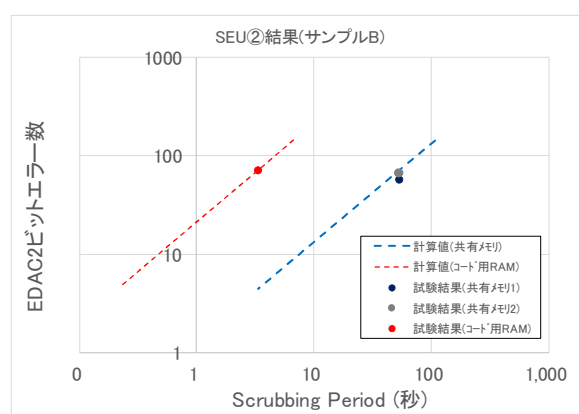
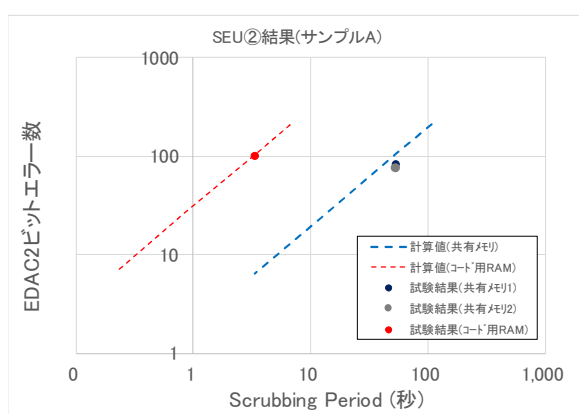
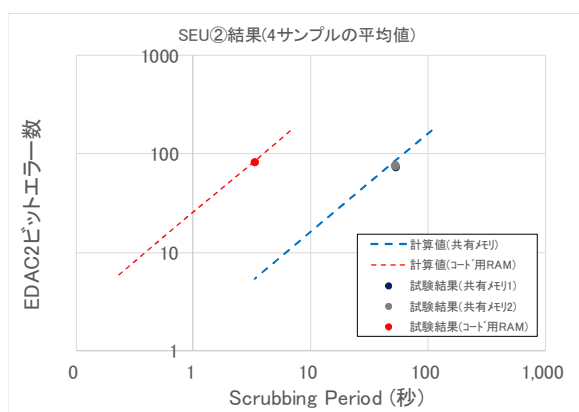
図 5-17 SEU① クロスセクションカーブ

表 5-5 SEU① 断面積

イ 種	LET	断面積(cm ² /bit)			
		4 サンプルの平均値			
		ローカル RAM	共有 メモリ1	共有 メモリ2	コード用 RAM
Xe	68	エラーなし	7.7E-10	7.6E-10	7.7E-10
Xe	41	エラーなし	5.6E-10	5.5E-10	5.7E-10
Kr	17	エラーなし	3.7E-10	3.6E-10	3.5E-10
Ar	7	エラーなし	1.9E-10	1.8E-10	1.8E-10
Ar	4	エラーなし	1.3E-10	1.2E-10	1.2E-10
C	0.8	エラーなし	3.8E-13	4.0E-13	3.8E-13

イ 種	LET	断面積(cm ² /bit)							
		サンプルA				サンプルB			
		ローカル RAM	共有 メモリ1	共有 メモリ2	コード用 RAM	ローカル RAM	共有 メモリ1	共有 メモリ2	コード用 RAM
Xe	68	エラーなし	7.6E-10	7.4E-10	7.7E-10	エラーなし	7.8E-10	8.0E-10	7.8E-10
Xe	41	エラーなし	5.6E-10	5.5E-10	5.8E-10	エラーなし	5.7E-10	5.7E-10	5.9E-10
Kr	17	エラーなし	3.8E-10	3.8E-10	3.6E-10	エラーなし	3.7E-10	3.6E-10	3.5E-10
Ar	7	エラーなし	1.9E-10	1.9E-10	1.8E-10	エラーなし	1.8E-10	1.9E-10	1.8E-10
Ar	4	エラーなし	1.4E-10	1.4E-10	1.2E-10	エラーなし	1.3E-10	1.2E-10	1.2E-10
C	0.8	エラーなし	4.8E-13	4.7E-13	4.1E-13	エラーなし	4.6E-13	4.3E-13	4.4E-13

イ 種	LET	断面積(cm ² /bit)							
		サンプルC				サンプルD			
		ローカル RAM	共有 メモリ1	共有 メモリ2	コード用 RAM	ローカル RAM	共有 メモリ1	共有 メモリ2	コード用 RAM
Xe	68	エラーなし	7.4E-10	7.3E-10	7.4E-10	エラーなし	7.8E-10	7.7E-10	8.1E-10
Xe	41	エラーなし	5.4E-10	5.1E-10	5.4E-10	エラーなし	5.7E-10	5.5E-10	5.8E-10
Kr	17	エラーなし	3.4E-10	3.3E-10	3.2E-10	エラーなし	3.7E-10	3.6E-10	3.6E-10
Ar	7	エラーなし	1.8E-10	1.7E-10	1.6E-10	エラーなし	2.0E-10	1.9E-10	1.8E-10
Ar	4	エラーなし	1.2E-10	1.1E-10	1.1E-10	エラーなし	1.3E-10	1.3E-10	1.2E-10
C	0.8	エラーなし	2.1E-13	2.2E-13	2.2E-13	エラーなし	3.7E-13	5.0E-13	4.7E-13



- 注
- 試験結果は、シングルイベント試験で計測したエラー数（リード・モディファイ・ライトで修復できない1ワード当たり2ビット以上のSEUが発生する数）である。
 - 計算値は、シングルイベント試験のFlux、照射時間、試験時LETに対する反転断面積より算出したスクラビング機能が要求通り働いた場合のScrubbing Periodとエラー数（上記の試験結果と同定義）の関係である。

図 5-18 SEU② 計算値と試験結果の比較

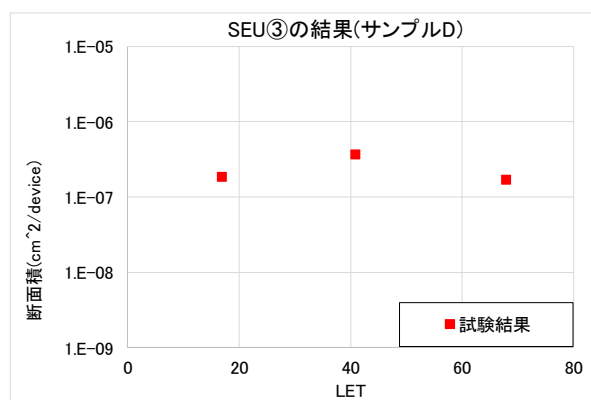
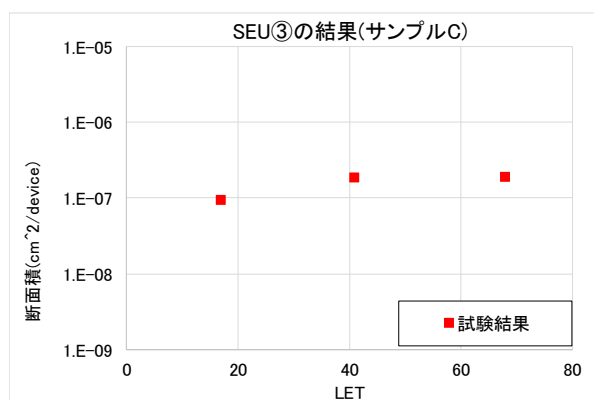
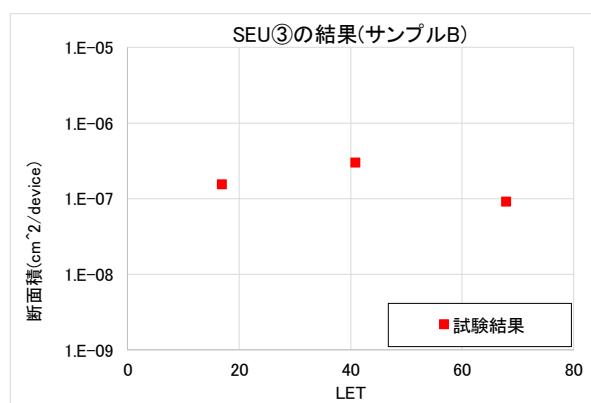
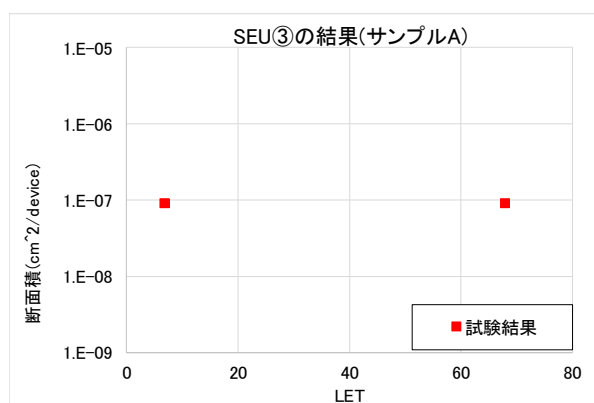
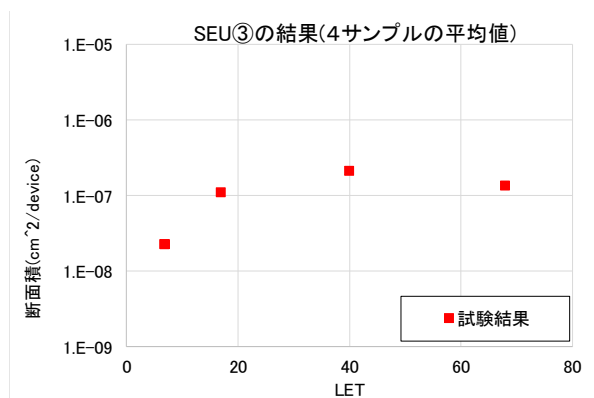


図 5-19 SEU③ クロスセクションカーブ

表 5-6 SEU③ 断面積

イオン 種	LET	断面積 (cm ² /device)				
		4 サンプルの平均値	サンプルA	サンプルB	サンプルC	サンプルD
Xe	68	1.3E-07	8.9E-08	8.9E-08	1.9E-07	1.7E-07
Xe	41	2.1E-07	エラーなし	2.9E-07	1.8E-07	3.6E-07
Kr	17	1.1E-07	エラーなし	1.5E-07	9.2E-08	1.8E-07
Ar	7	2.2E-08	8.8E-08	エラーなし	エラーなし	エラーなし
Ar	4	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし

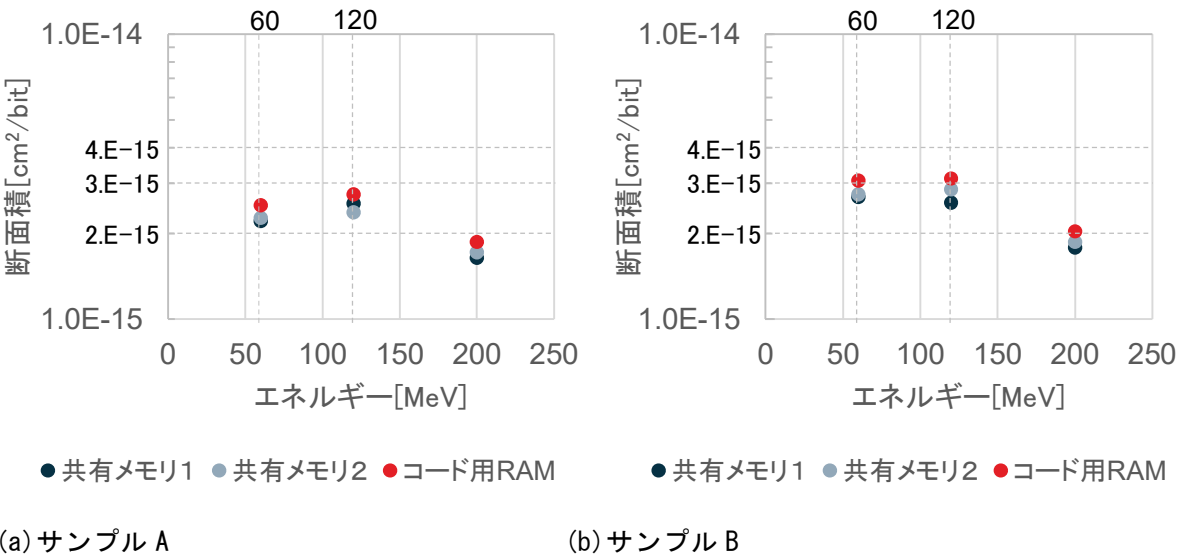


図 5-20 プロトン耐性

表 5-6 プロトン耐性

エネルギー [MeV]	断面積[cm ² /bit]					
	サンプルA			サンプルB		
	共有 メモリ1	共有 メモリ2	コード用 RAM	共有 メモリ1	共有 メモリ2	コード用 RAM
200	1.6E-15	1.7E-15	1.9E-15	1.8E-15	1.9E-15	2.0E-15
120	2.5E-15	2.4E-15	2.7E-15	2.6E-15	2.8E-15	3.1E-15
60	2.2E-15	2.3E-15	2.5E-15	2.7E-15	2.7E-15	3.1E-15

- ・サンプル数は 2 で、同一ロット。
- ・評価対象は、コード用 RAM、共有メモリ 1、共有メモリ 2 である。
- ・評価条件は、室温、V_{typ} である。
- ・データパターンは All 0 である。データパターン依存性は過去の試験で断面積に違いが無いことを確認済み。
- ・コード用 RAM、共有メモリ 1、共有メモリ 2 は同じメモリマクロを使用している。
- ・各メモリの容量は表 2.1-1 に記載。

6. 環境限界

環境限界は、次の通りである。

6.1 機械的組合せ試験

表 6-1 機械的組合せ試験

項目	試験条件	評価結果 ⁽¹⁾
衝撃 ↓ 振動	1, 500g、0. 5ms、 6 方向(X1、X2、Y1、Y2、Z1、Z2) ⁽²⁾ 各 5 回	0/15 個
	20～2000Hz、20G、 3 方向(X、Y、Z) ⁽²⁾ 各 4 回、4 分/回	

注⁽¹⁾ 不良数/試料数

注⁽²⁾ 方向の定義は、JAXA-QTS-2010D の B. 2. 2 項を適用する。

6.2 熱的環境試験、耐湿性試験 組合せ試験

表 6-2 熱的環境試験、耐湿性試験 組合せ試験

項目	試験条件	評価結果 ⁽¹⁾
熱衝撃 ↓ 温度サイクル ↓ 耐湿性	(-55℃、+125℃ 各 5 分)、15 サイクル	0/15 個
	-65℃、+150℃ 各 10 分)、100 サイクル	
	80～98%RH、-10℃～+65℃ 10 サイクル	

注⁽¹⁾ 不良数/試料数

6.3 耐放射線性試験

表 6-3 耐放射線性試験

項目	試験条件	評価結果 ⁽¹⁾
定常状態放射線量試験 (トータルドーズ試験)	吸収線量 100krad(Si)	0/5 個

注⁽¹⁾ 不良数/試料数

7. 信頼性

7.1 故障率

加速試験から得た故障率を表 7.1-1 に示す。

評価条件は、VDD=1.2V、VCCQ=3.3V、信頼度水準=60%である。

表 7.1-1 加速寿命試験から得た故障率

温度条件 [°C]	故障率 [fit]	温度条件 [°C]	故障率 [fit]
105	760	70	18
100	464	60	6
90	166	50	2
85	98	40	0.4
80	57	20	0.02

8. 保管方法

調達者における IC の保管条件は、次のとおりである。

- a) 周囲温度 15°C～35°C
- b) 相対湿度 35%以下
- c) 圧 力 86kPa～106kPa
- d) その他 振動、衝撃を印加しないこと。

9. 注意事項

- a) 半田ボールが傷つかないように十分に注意して取り扱うようにする。
ハンドリング中の一時保管時は、半田ボール保護のため LID 側を下にして保管すること。
- b) パッケージ表面のキャップは、GND に接続されている。
- c) 本パッケージのはんだボール取り付け部はディンプル構造になっている。
そのため、はんだボールを完全に除去することができず、はんだボールのリワーク作業は不可能である。
- d) リフローの上限回数は 2 回とする。

10. その他

- a) LSI ソケットの部品番号及び製造業者を以下に示す。

部品番号	572BHQ10Y01G
製造業者	日本コネクト工業

- b) IC の問い合わせ先を以下に示す。

供給業者	販売店の問い合わせ先情報を後日記載。
------	--------------------